

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-298006

(P2003-298006A)

(43) 公開日 平成15年10月17日 (2003. 10. 17)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 25/065		G 0 9 F 9/30	3 3 0 Z 3 K 0 0 7
G 0 9 F 9/30	3 3 0		3 3 8 5 C 0 9 4
	3 3 8		3 6 5 Z
	3 6 5	H 0 5 B 33/06	
H 0 1 L 25/07		33/14	A

審査請求 未請求 請求項の数29 OL (全 16 頁) 最終頁に続く

(21) 出願番号 特願2002-97196 (P2002-97196)

(22) 出願日 平成14年3月29日 (2002. 3. 29)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 木村 睦

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 宇都宮 純夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100079108

弁理士 稲葉 良幸 (外2名)

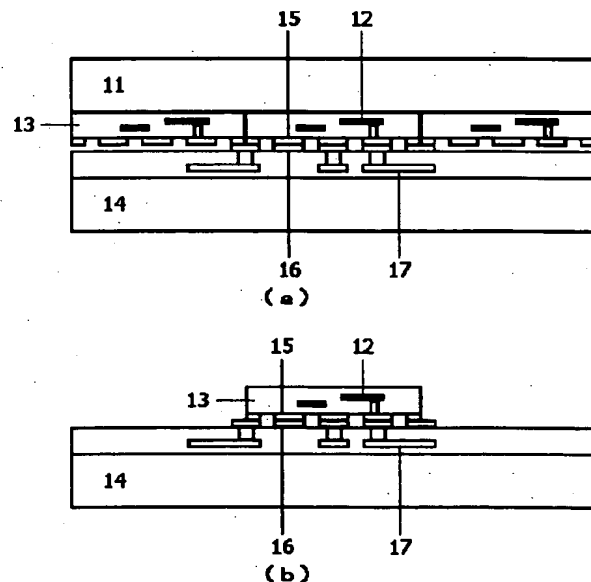
最終頁に続く

(54) 【発明の名称】 半導体装置および電気光学装置

(57) 【要約】

【課題】 第1基板上11で機能素子12を形成し、機能素子12を含む素子チップ13を第2基板上14へ転写し、素子チップ13上の第1パッド15と第2基板14上の第2パッド16との導通をとることにより形成する、半導体装置において、第1パッド15の面積または幅を広くとる。剥離や転写のプロセスでズレが生じて、確実に第1パッド15と第2パッド16の導通をとることを可能とする。

【解決手段】 素子チップ13の第2基板14側の表面には、第1パッド15のみを形成し、機能素子12は、第1パッド15よりも第2基板14から遠い側に形成する。または、素子チップ13の第2基板14から遠い側の表面には、第1パッド15のみを形成し、機能素子12は、第1パッド15よりも第2基板14側に形成する。または、素子チップ13の第2基板14側の表面および第2基板14から遠い側の表面に、第1パッド15を形成する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの前記第2基板側の表面には、前記第1パッドのみを形成することを特徴とする、半導体装置。

【請求項2】 請求項1記載の、半導体装置において、前記機能素子は、前記第1パッドよりも前記第2基板から遠い側に形成することを特徴とする、半導体装置。

【請求項3】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの前記第2基板から遠い側の表面には、前記第1パッドのみを形成することを特徴とする、半導体装置。

【請求項4】 請求項3記載の、半導体装置において、前記機能素子は、前記第1パッドよりも前記第2基板側に形成することを特徴とする、半導体装置。

【請求項5】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの前記第2基板側の表面および前記第2基板から遠い側の表面に、前記第1パッドを形成することを特徴とする、半導体装置。

【請求項6】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの周辺長を L 、面積を S とすると、 $L > 2\pi^{1/2} S^{1/2}$

であることを特徴とする、半導体装置。

【請求項7】 請求項6記載の、半導体装置において、 $L > 4S^{1/2}$

であることを特徴とする、半導体装置。

【請求項8】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置に

おいて、

前記第1パッドまたは前記第2パッドを、はんだ、インジウム、鉛などの、低融点材料で形成することを特徴とする、半導体装置。

【請求項9】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの端面に、前記第1パッドを前記第1基板の面方向の外方に突出する形で形成し、前記第2基板上に前記第1パッドに対応した形状を形成してあることを特徴とする、半導体装置。

【請求項10】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記第1パッドを凸状に形成し、前記第2パッドを凹状に形成する、または、前記第1パッドを凹状に形成し、前記第2パッドを凸状に形成することを特徴とする、半導体装置。

【請求項11】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの絶縁層として、低誘電率材料を用いることを特徴とする、半導体装置。

【請求項12】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの絶縁層として、気体や液体や真空を用いることを特徴とする、半導体装置。

【請求項13】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの前記第2基板側の表面には、前記第1パッドのみを形成することを特徴とする、半導体装置。

【請求項14】 請求項13記載の、半導体装置におい

て、

前記機能素子は、前記第1パッドよりも前記第2基板から遠い側に形成することを特徴とする、半導体装置。

【請求項15】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの前記第2基板から遠い側の表面には、前記第1パッドのみを形成することを特徴とする、半導体装置。

【請求項16】 請求項15記載の、半導体装置において、

前記機能素子は、前記第1パッドよりも前記第2基板側に形成することを特徴とする、半導体装置。

【請求項17】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの前記第2基板側の表面および前記第2基板から遠い側の表面に、前記第1パッドを形成することを特徴とする、半導体装置。

【請求項18】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの周辺長を L 、面積を S とするととき、 $L > 2\pi^{1/2} S^{1/2}$

であることを特徴とする、半導体装置。

【請求項19】 請求項18記載の、半導体装置において、

$L > 4S^{1/2}$

であることを特徴とする、半導体装置。

【請求項20】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記第1パッドまたは前記第2パッドを、はんだ、インジウム、鉛などの、低融点材料で形成することを特徴と

する、半導体装置。

【請求項21】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

10 前記素子チップの端面に、前記第1パッドを前記第1基板の面方向の外方に突出する形で形成し、前記第2基板上に前記第1パッドに対応した形状を形成してあることを特徴とする、半導体装置。

【請求項22】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

20 前記第1パッドを凸状に形成し、前記第2パッドを凹状に形成する、または、前記第1パッドを凹状に形成し、前記第2パッドを凸状に形成することを特徴とする、半導体装置。

【請求項23】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

30 前記素子チップの絶縁層として、低誘電率材料を用いることを特徴とする、半導体装置。

【請求項24】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

40 前記素子チップの絶縁層として、気体や液体や真空を用いることを特徴とする、半導体装置。

【請求項25】 請求項1から請求項24記載の、半導体装置において、前記素子チップの剥離や転写に、レーザー照射を用いることを特徴とする、半導体装置。

【請求項26】 請求項1から請求項24記載の、半導体装置において、前記機能素子が薄膜トランジスタであることを特徴とする、半導体装置。

50 【請求項27】 請求項1から請求項24記載の、半導

て、

前記機能素子は、前記第1パッドよりも前記第2基板から遠い側に形成することを特徴とする、半導体装置。

【請求項15】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの前記第2基板から遠い側の表面には、前記第1パッドのみを形成することを特徴とする、半導体装置。

【請求項16】 請求項15記載の、半導体装置において、

前記機能素子は、前記第1パッドよりも前記第2基板側に形成することを特徴とする、半導体装置。

【請求項17】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの前記第2基板側の表面および前記第2基板から遠い側の表面に、前記第1パッドを形成することを特徴とする、半導体装置。

【請求項18】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記素子チップの周辺長を L 、面積を S とすると、 $L > 2\pi^{1/2} S^{1/2}$

であることを特徴とする、半導体装置。

【請求項19】 請求項18記載の、半導体装置において、

$L > 4S^{1/2}$

であることを特徴とする、半導体装置。

【請求項20】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

前記第1パッドまたは前記第2パッドを、はんだ、インジウム、鉛などの、低融点材料で形成することを特徴と

する、半導体装置。

【請求項21】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

10 前記素子チップの端面に、前記第1パッドを前記第1基板の面方向の外方に突出する形で形成し、前記第2基板上に前記第1パッドに対応した形状を形成してあることを特徴とする、半導体装置。

【請求項22】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

20 前記第1パッドを凸状に形成し、前記第2パッドを凹状に形成する、または、前記第1パッドを凹状に形成し、前記第2パッドを凸状に形成することを特徴とする、半導体装置。

【請求項23】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

30 前記素子チップの絶縁層として、低誘電率材料を用いることを特徴とする、半導体装置。

【請求項24】 第1基板上で機能素子を形成し、前記機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに前記素子チップを第2基板上へ転写し、前記素子チップ上の導電性材料から成る第1パッドと前記第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、

40 前記素子チップの絶縁層として、気体や液体や真空を用いることを特徴とする、半導体装置。

【請求項25】 請求項1から請求項24記載の、半導体装置において、前記素子チップの剥離や転写に、レーザー照射を用いることを特徴とする、半導体装置。

【請求項26】 請求項1から請求項24記載の、半導体装置において、前記機能素子が薄膜トランジスタであることを特徴とする、半導体装置。

50 【請求項27】 請求項1から請求項24記載の、半導

体装置において、

前記機能素子が有機エレクトロルミネッセンス素子であることを特徴とする、半導体装置。

【請求項28】 請求項1から請求項27記載の、半導体装置を用いていることを特徴とする、電気光学装置。

【請求項29】 請求項1から請求項27記載の、半導体装置を用いていることを特徴とする、電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特に、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置、または、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置に関する。また、これらの半導体装置を用いている、電気光学装置に関する。

【0002】

【背景技術】機能素子、例えば、薄膜トランジスタや有機エレクトロルミネッセンス素子と、この機能素子間の配線や支持基板を備えた電子回路その他の半導体装置では、機能素子は全体の一部分で、それ以外は配線や支持基板である場合が少なくない。この半導体装置を、機能素子と配線や支持基板を一体として同一の製造プロセスを経て製造する場合には、高機能の機能素子を作成するための高度で複雑な製造プロセスが必要とされるため、一般的に、製造コストが高額になる。しかしながら、配線や支持基板だけのためには、高度で複雑な製造プロセスは必要とされず、製造コストは安価である。もし、機能素子と、配線や支持基板を別個に作成し、必要とされる部分にだけ機能素子を配置することができれば、全体として平均すれば、この半導体装置の製造コストを低減することが可能である。

【0003】そこで、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置、または、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置、および、これらの半導体装置を用いている表示装置などの電気光学装置が開発されている。こ

の方法によれば、必要とされる部分にだけ機能素子を配置することができるので、全体として平均すれば、この半導体装置の製造コストを低減することが可能である。

なお、このとき、剥離や転写のプロセスとしては、レーザーアブレーションや接着剤が用いられる (T. Shimoda, et al, Techn. Dig. IEDM 1999, 289, S. Utsunomiya, et al, Dig. Tech. Pap. SID 2000, 916, T. Shimoda, Proc. Asia Display / IDW '01, 327, S. Utsunomiya, et al, Proc. Asia Display / IDW '01, 339)

【発明が解決しようとする課題】第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置、または、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置では、いかに第1パッドと第2パッドの導通をとるかが、開発課題のひとつとなる。このとき、剥離や転写のプロセスでは、ズレが生じやすいので、ズレが生じても確実に第1パッドと第2パッドの導通がとれるよう、第1パッドと第2パッドの面積は、大きくとるほうが好ましい。特に、製造コストを低減するという意図で、素子チップはできるだけ小さくされるので、第1パッドの面積を大きくとることは難しい。一方、第2基板は、面積的に比較的余裕がある場合が多く、第2パッドを大きくとることは比較的容易である。また、第1パッドの面積を大きくとるだけでなく、その幅を広くとることも好ましい。

【0004】そこで、本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置、または、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、第1パッドの面積を大きくとる、または、第1パッドの幅を広くとることを目的とする。この構造によれば、剥離や転写のプロセスでズレが生じて、確実に第1パッドと第2パッドの導通をとることが可能となる。さらに、第1パッドの面積を大きくとり、対応する第2パッドの面積もある程度大きくとれば、コンタクト抵抗の低減にもなる。

【0005】

【課題を解決するための手段】請求項1記載の本発明

は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの第2基板側の表面には、第1パッドのみを形成することを特徴とする、半導体装置である。

【0006】この構造によれば、第1パッドの面積を大きくとることができる。

【0007】請求項2記載の本発明は、請求項1記載の、半導体装置において、機能素子は、第1パッドよりも第2基板から遠い側に形成することを特徴とする、半導体装置である。

【0008】この構造によれば、機能素子と第1パッドを積層して形成することにより、機能素子に重畳して第1パッドを形成することができ、第1パッドの面積を大きくとることができる。

【0009】請求項3記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの第2基板から遠い側の表面には、第1パッドのみを形成することを特徴とする、半導体装置である。

【0010】この構造によれば、第1パッドの面積を大きくとることができる。

【0011】請求項4記載の本発明は、請求項3記載の、半導体装置において、機能素子は、第1パッドよりも第2基板側に形成することを特徴とする、半導体装置である。

【0012】この構造によれば、機能素子と第1パッドを積層して形成することにより、機能素子に重畳して第1パッドを形成することができ、第1パッドの面積を大きくとることができる。

【0013】請求項5記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの第2基板側の表面および第2基板から遠い側の表面に、第1パッドを形成することを特徴とする、半導体装置である。

【0014】この構造によれば、第1パッドの面積をさらに大きくとることができる。

【0015】請求項6記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半

導体装置において、素子チップの周辺長をL、面積をSとすると、

$$L > 2\pi^{1/2} S^{1/2}$$

であることを特徴とする、半導体装置である。

【0016】この構造によれば、素子チップの周辺長を長くすることにより、幅広の第1パッドを形成することができる。素子チップの面積は大きくならないので、製造コストを低減することについては、同一の効果が得られる。

【0017】請求項7記載の本発明は、請求項6記載の、半導体装置において、

$$L > 4S^{1/2}$$

であることを特徴とする、半導体装置である。

【0018】この構造によっても、素子チップの周辺長を長くすることにより、幅広の第1パッドを形成することができる。やはり、素子チップの面積は大きくならないので、製造コストを低減することについては、同一の効果が得られる。

【0019】請求項8記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、第1パッドまたは第2パッドを、はんだ、インジウム、鉛などの、低融点材料で形成することを特徴とする、半導体装置である。

【0020】この構造によれば、素子チップを剥離し、第2基板上へ転写したのち、高温で一定時間保持するだけで、第1パッドと第2パッドとの導通をとることが可能となる。

【0021】請求項9記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの端面に、第1パッドを前記第1基板の面方向の外方に突出する形で形成し、第2基板上に第1パッドに対応した形状を形成してあることを特徴とする、半導体装置である。

【0022】この構造によれば、第1パッドを第2パッドに自己整合的に配置することができ、ズレが生じても確実に第1パッドと第2パッドの導通がとれる。

【0023】請求項10記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、第1パッドを凸状に形成し、第2パッドを凹状に形成する、または、第1パッドを凹状に形成し、第2パッドを凸状に形成することを特徴とす

る、半導体装置である。

【0024】この構造によっても、第1パッドを第2パッドに自己整合的に配置することができ、ズレが生じても確実に第1パッドと第2パッドの導通がとれる。

【0025】請求項11記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの絶縁層として、低誘電率材料を用いることを特徴とする、半導体装置である。

【0026】この構造によれば、素子チップの機能素子やその周辺の寄生容量を低減でき、消費電力の低減や動作周波数の向上が期待できる。請求項12記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの絶縁層として、気体や液体や真空を用いることを特徴とする、半導体装置である。

【0027】この構造によっても、素子チップの機能素子やその周辺の寄生容量を低減でき、消費電力の低減や動作周波数の向上が期待できる。

【0028】請求項13記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの第2基板側の表面には、第1パッドのみを形成することを特徴とする、半導体装置である。

【0029】この構造によれば、第1パッドの面積を大きくとることができる。

【0030】請求項14記載の本発明は、請求項13記載の、半導体装置において、機能素子は、第1パッドよりも第2基板から遠い側に形成することを特徴とする、半導体装置である。

【0031】この構造によれば、機能素子と第1パッドを積層して形成することにより、機能素子に重畳して第1パッドを形成することができ、第1パッドの面積を大きくとることができる。

【0032】請求項15記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置に

において、素子チップの第2基板から遠い側の表面には、第1パッドのみを形成することを特徴とする、半導体装置である。

【0033】この構造によれば、第1パッドの面積を大きくとることができる。

【0034】請求項16記載の本発明は、請求項15記載の、半導体装置において、機能素子は、第1パッドよりも第2基板側に形成することを特徴とする、半導体装置である。

【0035】この構造によれば、機能素子と第1パッドを積層して形成することにより、機能素子に重畳して第1パッドを形成することができ、第1パッドの面積を大きくとることができる。

【0036】この構造によれば、第1パッドの面積を大きくとることができる。

【0037】請求項17記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの第2基板側の表面および第2基板から遠い側の表面に、第1パッドを形成することを特徴とする、半導体装置である。

【0038】この構造によれば、第1パッドの面積をさらに大きくとることができる。

【0039】請求項18記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの周辺長を L 、面積を S とすると、 $L > 2\pi^{1/2} S^{1/2}$

であることを特徴とする、半導体装置である。

【0040】この構造によれば、素子チップの周辺長を長くすることにより、幅広の第1パッドを形成することができる。素子チップの面積は大きくならないので、製造コストを低減することについては、同一の効果が得られる。

【0041】請求項19記載の本発明は、請求項18記載の、半導体装置において、 $L > 4S^{1/2}$

であることを特徴とする、半導体装置である。

【0042】この構造によっても、素子チップの周辺長を長くすることにより、幅広の第1パッドを形成することができる。やはり、素子チップの面積は大きくならないので、製造コストを低減することについては、同一の効果が得られる。

【0043】請求項20記載の本発明は、第1基板上で

機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、第1パッドまたは第2パッドを、はんだ、インジウム、鉛などの、低融点材料で形成することを特徴とする、半導体装置である。

【0044】この構造によれば、素子チップを剥離し、第2基板上へ転写したのち、高温で一定時間保持するだけで、第1パッドと第2パッドとの導通をとることが可能となる。

【0045】請求項21記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの端面に、第1パッドを前記第1基板の面方向の外方に突出する形で形成し、第2基板上に第1パッドに対応した形状を形成してあることを特徴とする、半導体装置である。

【0046】この構造によれば、第1パッドを第2パッドに自己整合的に配置することができ、ズレが生じても確実に第1パッドと第2パッドの導通がとれる。

【0047】請求項22記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、第1パッドを凸状に形成し、第2パッドを凹状に形成する、または、第1パッドを凹状に形成し、第2パッドを凸状に形成することを特徴とする、半導体装置である。

【0048】この構造によっても、第1パッドを第2パッドに自己整合的に配置することができ、ズレが生じても確実に第1パッドと第2パッドの導通がとれる。

【0049】請求項23記載の本発明は、第1基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの絶縁層として、低誘電率材料を用いることを特徴とする、半導体装置である。

【0050】この構造によれば、素子チップの機能素子やその周辺の寄生容量を低減でき、消費電力の低減や動作周波数の向上が期待できる。

【0051】請求項24記載の本発明は、第1基板上で

機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第3基板上へ転写し、さらに素子チップを第2基板上へ転写し、素子チップ上の導電性材料から成る第1パッドと第2基板上の導電性材料から成る第2パッドとの導通をとることにより形成する、半導体装置において、素子チップの絶縁層として、気体や液体や真空を用いることを特徴とする、半導体装置である。

【0052】この構造によっても、素子チップの機能素子やその周辺の寄生容量を低減でき、消費電力の低減や動作周波数の向上が期待できる。

【0053】請求項25記載の本発明は、請求項1から請求項24記載の、半導体装置において、素子チップの剥離や転写に、レーザー照射を用いることを特徴とする、半導体装置である。

【0054】この構造によれば、素子チップの剥離や転写を、確実に行うことが可能となる。

【0055】請求項26記載の本発明は、請求項1から請求項24記載の、半導体装置において、機能素子が薄膜トランジスタであることを特徴とする、半導体装置である。

【0056】この構造によれば、従来方法では作成するために高度で複雑な製造プロセスが必要とされた高機能の薄膜トランジスタに対して、第1パッドの面積を大きくとる、または、第1パッドの幅を広くとることが可能となる。

【0057】請求項27記載の本発明は、請求項1から請求項24記載の、半導体装置において、機能素子有機エレクトロルミネッセンス素子であることを特徴とする、半導体装置である。

【0058】この構造によれば、従来方法では作成するために高度で複雑な製造プロセスが必要とされた高機能の有機エレクトロルミネッセンス素子に対して、第1パッドの面積を大きくとる、または、第1パッドの幅を広くとることが可能となる。

【0059】請求項28記載の本発明は、請求項1から請求項27記載の、半導体装置を用いていることを特徴とする、電気光学装置である。

【0060】この構造によれば、電気光学装置では、一般に、機能素子に対する配線や支持基板の面積比が大きいため、配線や支持基板を別個に作成し、必要とされる部分にだけ機能素子を配置することによる製造コストの低減の効果が、より有効となる。

【0061】請求項29記載の本発明は、請求項1から請求項27記載の、半導体装置を用いていることを特徴とする、電子機器である。

【0062】この構造によれば、製造コストが低く確実に第1パッドと第2パッドの導通をとることができ、高性能の電子機器を提供することができる。

【0063】

【発明の実施の形態】以下、本発明の好ましい実施の形

態を説明する。

【0064】(第1の実施例) 図1は、本発明の第1の実施例の製造方法を示す図である。第1基板11上で機能素子12を形成し、機能素子12をひとつ以上含む素子チップ13を剥離し、第2基板14上へ転写し、素子チップ13上の導電性材料から成る第1パッド15と第2基板14上の導電性材料から成る第2パッド16との導通をとることにより、電子回路その他の半導体装置を形成する。図1

(a)は、第1基板11の素子チップ形成面を第2基板14と貼り合わせている図、図1(b)は、素子チップ13を第1基板11から剥離し、第2基板14上へ転写し、第1基板11を取り除いた図である。第1パッド15と第2パッド16との導通をとるのは、剥離転写前でも後でもよい。

【0065】図2は、本発明の第1の実施例の素子チップの構造を示す図である。機能素子12は所定の第1パッド15と電気的に接続されている。請求項1に記載したように、素子チップ13の第2基板14側の表面には、第1パッド15のみを形成してある。素子チップ13の第2基板14側の表面には、それ以外の素子や電極は形成されていない。この構造によれば、第1パッド15の面積を大きくとることができる。また、請求項2に記載したように、機能素子12は、第1パッド15よりも第2基板14から遠い側に形成してある。この構造によれば、機能素子12と第1パッド15を積層して形成することにより、機能素子12に重畳して第1パッド15を形成することができ、第1パッド15の面積を大きくとることができる。

【0066】図3は、本発明の第1の実施例の第2基板の構造を示す図である。透視図になっているが、一部の配線やコンタクトホールやビアプラグなどは省いてある。第2基板14上には、第2パッド16のみならず、所定の第2パッド16と導通する配線17も形成してある。素子チップ13上の第1パッド15に対応する位置に、第2基板14上には第2パッド16を形成している。

【0067】なお、請求項13に記載したように、第1基板11上で機能素子12を形成し、機能素子12をひとつ以上含む素子チップ13を剥離し、第3基板18上へ転写し、さらに素子チップ13を第2基板14上へ転写し、素子チップ13上の導電性材料から成る第1パッド15と第2基板14の導電性材料から成る第2パッド16との導通をとることにより形成する、半導体装置においても、素子チップ13の第2基板14側の表面に、第1パッド15のみを形成することは、第1パッド15の面積を大きくとるために有効である。このとき、請求項14に記載したように、機能素子12を、第1パッド15よりも第2基板14から遠い側に形成することにより、機能素子12と第1パッド15を積層して形成することで、機能素子12に重畳して第1パッド15を形成することができ、第1パッド15の面積を大きくとることが可能となる。

【0068】なお、第1パッド15と第2パッド16との導通をとるために、請求項8や請求項20に記載したよう

に、第1パッド15または第2パッド16を、はんだ、インジウム、鉛などの、低融点材料で形成することが可能である。この構造によれば、素子チップ13を剥離し、第2基板14上へ転写したのち、上記低融点材料の各融点に応じた適切な高温で一定時間保持するだけで、第1パッド15と第2パッド16とを融着させ、これらの導通をとることが可能となる。また、第1パッド15と第2パッド16との導通をとるために、インクジェットによる液体金属塗布プロセスを用いることが可能である。さらに、ワイヤボンディングや異方導電材料や異方導電フィルムを用いることも可能である。

【0069】また、特に図示しないが、請求項9や請求項21に記載したように、素子チップ13の端面に、第1パッド15を第1基板11の面方向の外方に突出する形で形成し、第2基板14上に第1パッド15に対応した形状を形成してもよい。この場合、第2パッド16を第1パッド15に対応した形状として素子チップ13が置かれる位置より外側に形成し、この第2パッド16に第1パッド15が嵌め込まれるようにすることが望ましい。この構造によれば、第1パッド15を第2パッド16に自己整合的に配置することができ、ズレが生じても確実に第1パッド15と第2パッド16の導通がとれる。

【0070】また、請求項10や請求項22に記載したように、第1パッド15を凸状に形成し、第2パッド16を凹状に形成する、または、第1パッド15を凹状に形成し、第2パッド16を凸状に形成してもよい。図4に、その例を断面図で概念的に示している。機能素子12や配線17などは省略している。図示するように第1パッド15を凸状に形成した場合には、それに対応する凹部を第2基板14に形成する。各凹部を構成する凹面の全部(図4(a))又は一部(図4(b))に導電性材料が露出するように、第2パッド16を形成する。この構造によっても、第1パッド15を第2パッド16に自己整合的に配置することができ、ズレが生じても確実に第1パッド15と第2パッド16の導通がとれる。

【0071】また、請求項11や請求項23に記載したように、素子チップ13の絶縁層として、低誘電率材料を用いてもよい。この構造によれば、素子チップ13の機能素子12やその周辺の寄生容量を低減でき、消費電力の低減や動作周波数の向上が期待できる。また、請求項12や請求項24に記載したように、素子チップ13の絶縁層として、気体や液体や真空を用いてもよい。この構造によっても、素子チップ13の機能素子12やその周辺の寄生容量を低減でき、消費電力の低減や動作周波数の向上が期待できる。

【0072】また、第1基板11、機能素子12、素子チップ13、第2基板14、第1パッド15、第2パッド16、配線17の材料、構造は、いかなるものであっても、本発明の思想は有効である。

【0073】(第2の実施例) 図5は、本発明の第2の

実施例の製造方法を示す図である。第1基板11上で機能素子12を形成し、機能素子12をひとつ以上含む素子チップ13を剥離し、第3基板18上へ転写し、さらに素子チップ13を第2基板14上へ転写し、素子チップ13上の導電性材料から成る第1パッド15と第2基板14上の導電性材料から成る第2パッド16との導通をとることにより、半導体装置を形成する。図5(a)は、第1基板11の素子チップ形成面を第3基板18と貼り合わせている図、図5(b)は、素子チップ13を剥離し、第3基板18上へ転写し、第3基板18の素子チップ側の面を第2基板14と貼り合わせている図、図5(c)は、素子チップ13を第2基板14上へ転写し、第3基板18を取り除いた図である。第1パッド15と第2パッド16との導通をとるのは、符号19で示すように、第3基板から第2基板への剥離転写後に行う。

【0074】図6は、本発明の第2の実施例の素子チップの構造を示す図である。機能素子12は所定の第1パッド15と電氣的に接続されている。請求項15に記載したように、素子チップ13の第2基板14から遠い側の表面には、第1パッド15のみを形成してある。素子チップ13の第2基板14から遠い側の表面には、それ以外の素子や電極は形成されていない。この構造によれば、第1パッド15の面積を大きくとることができる。また、請求項16に記載したように、機能素子12は、第1パッド15よりも第2基板14側に形成してある。この構造によれば、機能素子12と第1パッド15を積層して形成することにより、機能素子12に重畳して第1パッド15を形成することができる。第1パッド15の面積を大きくとることができる。

【0075】図7は、本発明の第2の実施例の第2基板の構造を示す図である。透視図になっているが、一部の配線やコンタクトホールやビアプラグなどは省いてある。第2基板14上には、第2パッド16のみならず、所定の第2パッド16に導通する配線17も形成してある。素子チップ13上の第1パッド15に対応する位置の周囲に、第2基板14上には第2パッド16を形成している。

【0076】なお、請求項3に記載したように、第1基板11上で機能素子12を形成し、機能素子12をひとつ以上含む素子チップ13を剥離し、第2基板14上へ転写し、素子チップ13上の導電性材料から成る第1パッド15と第2基板上14の導電性材料から成る第2パッド16との導通をとることにより形成する、半導体装置においても、素子チップ13の第2基板14から遠い側の表面に、第1パッド15のみを形成することは、第1パッド15の面積を大きくとるために有効である。このとき、請求項4に記載したように、機能素子12を、第1パッド15よりも第2基板14側に形成することにより、機能素子12と第1パッド15を積層して形成することで、機能素子12に重畳して第1パッド15を形成することができ、第1パッド15の面積を大きくとることが可能となる。

【0077】なお、第1パッド15と第2パッド16との導

通をとるために、インクジェットによる液体金属塗布プロセスを用いて図5(c)の接続配線19を形成することが可能である。さらに、ワイヤボンディングを用いることも可能である。

【0078】また、請求項9や請求項21に記載したように、素子チップ13の端面に、第1パッド15を第1基板11の面方向の外方に突出する形で形成し、第2基板14上に第1パッド15に対応した形状を形成してもよい。この場合、第2パッド16を第1パッド15に対応した形状として素子チップ13が置かれる位置より外側に形成し、この第2パッド16に第1パッド15が嵌め込まれるようにすることが望ましい。この構造によれば、第1パッド15を第2パッド16に自己整合的に配置することができ、ズレが生じても確実に第1パッド15と第2パッド16の導通がとれる。また、請求項11や請求項23に記載したように、素子チップ13の絶縁層として、低誘電率材料を用いてもよい。この構造によれば、素子チップ13の機能素子12やその周辺の寄生容量を低減でき、消費電力の低減や動作周波数の向上が期待できる。また、請求項12や請求項24に記載したように、素子チップ13の絶縁層として、気体や液体や真空を用いてもよい。この構造によっても、素子チップ13の機能素子12やその周辺の寄生容量を低減でき、消費電力の低減や動作周波数の向上が期待できる。

【0079】また、第1基板11、機能素子12、素子チップ13、第2基板14、第1パッド15、第2パッド16、配線17、第3基板18、接続配線19の材料、構造は、いかなるものであっても、本発明の思想は有効である。

【0080】(第3の実施例) 図8は、本発明の第3の実施例の製造方法を示す図である。第1基板11上で機能素子12を形成し、機能素子12をひとつ以上含む素子チップ13を剥離し、第2基板上14へ転写し、素子チップ13上の導電性材料から成る第1パッド15と第2基板上の導電性材料から成る第2パッド16との導通をとることにより、半導体装置を形成する。図8(a)は、第1基板11の素子チップ形成面を第2基板14と貼り合わせている図、図8(b)は、素子チップ13を剥離し、第2基板14上へ転写し、第1基板11を取り除いた図である。第2基板14側の第1パッド15と第2パッド16との導通をとるのは、剥離転写前でも後でもよい。第2基板14から遠い側の第1パッド15と第2パッド16との導通をとるのは、第1基板から第2基板への剥離転写後に行う。

【0081】図9は、本発明の第3の実施例の素子チップの構造を示す図である。図9(a)は、第2基板14より遠い側となる側からの鳥瞰図、図9(b)は、第2基板14側となる側からの鳥瞰図である。機能素子12は所定の第1パッド15と電氣的に接続されている。請求項5に記載したように、素子チップ13の第2基板14側の表面および第2基板14から遠い側の表面に、第1パッド15を形成してある。この構造によれば、第1パッド15の面積を

さらに大きくとることができる。

【0082】図10は、本発明の第3の実施例の第2基板の構造を示す図である。透視図になっているが、一部の配線やコンタクトホールやビアプラグなどは省いてある。第2基板14上には、第2パッド16のみならず、所定の第2パッドに導通する配線17も形成してある。素子チップ13上の第1パッド15に対応する位置およびその周囲に、第2基板14上には第2パッド16を形成している。

【0083】なお、請求項17に記載したように、第1基板11上で機能素子12を形成し、機能素子12をひとつ以上含む素子チップ13を剥離し、第3基板18上へ転写し、さらに素子チップ13を第2基板14上へ転写し、素子チップ13上の導電性材料から成る第1パッド15と第2基板上14の導電性材料から成る第2パッド16との導通をとることにより形成する、半導体装置においても、素子チップ13の第2基板14側の表面および第2基板14から遠い側の表面に、第1パッドを形成することは、第1パッド15の面積をさらに大きくとるために有効である。

【0084】なお、第2基板14側の第1パッド15と第2パッド16との導通をとるために、請求項8や請求項20に記載したように、第1パッド15または第2パッド16を、はんだ、インジウム、鉛などの、低融点材料で形成することが可能である。この構造によれば、素子チップ13を剥離し、第2基板14上へ転写したのち、上記低融点材料の各融点に応じた適切な高温で一定時間保持するだけで、第1パッド15と第2パッド16とを融着させ、これらの導通をとることが可能となる。また、第1パッド15と第2パッド16との導通をとるために、インクジェットによる液体金属塗布プロセスを用いることが可能である。さらに、ワイヤボンディングや異方導電材料や異方導電フィルムを用いることも可能である。

【0085】なお、第2基板14から遠い側の第1パッド15と第2パッド16との導通をとるために、インクジェットによる液体金属塗布プロセスを用いて図8(b)の接続配線19を形成することが可能である。さらに、ワイヤボンディングを用いることも可能である。

【0086】また、請求項9や請求項21に記載したように、素子チップ13の端面に、第1パッド15を第1基板11の面方向の外方に突出する形で形成し、第2基板14上に第1パッド15に対応した形状を形成してもよい。この場合、第2パッド16を第1パッド15に対応した形状として素子チップ13が置かれる位置より外側に形成し、この第2パッド16に第1パッド15が嵌め込まれるようにすることが望ましい。この構造によれば、第1パッド15を第2パッド16に自己整合的に配置することができ、ズレが生じても確実に第1パッド15と第2パッド16の導通がとれる。

【0087】また、請求項10や請求項22に記載したように、第1パッド15を凸状に形成し、第2パッド16を凹状に形成する、または、第1パッド15を凹状に形成

し、第2パッド16を凸状に形成してもよい。例えば第1パッド15を凸状に形成した場合には、それに対応する凹部を第2基板14に形成する。各凹部を構成する凹面の全部(図4(a)参照)又は一部(図4(b)参照)に導電性材料が露出するように、第2パッド16を形成する。この構造によっても、第1パッド15を第2パッド16に自己整合的に配置することができ、ズレが生じても確実に第1パッド15と第2パッド16の導通がとれる。

【0088】また、請求項11や請求項23に記載したように、素子チップ13の絶縁層として、低誘電率材料を用いてもよい。この構造によれば、素子チップ13の機能素子12やその周辺の寄生容量を低減でき、消費電力の低減や動作周波数の向上が期待できる。また、請求項12や請求項24に記載したように、素子チップ13の絶縁層として、気体や液体や真空を用いてもよい。この構造によっても、素子チップ13の機能素子12やその周辺の寄生容量を低減でき、消費電力の低減や動作周波数の向上が期待できる。

【0089】また、第1基板11、機能素子12、素子チップ13、第2基板14、第1パッド15、第2パッド16、配線17、接続配線19の材料、構造は、いかなるものであっても、本発明の思想は有効である。

【0090】(第4の実施例)図11は、本発明の第4の実施例の素子チップの構造を示す図である。製造方法や第2基板の構造については、実施例1から3と概略は同一である。請求項6や請求項18に記載したように、素子チップ13の周辺長をL、面積をSとすると、

$$L > 2\pi^{1/2} S^{1/2}$$

となっている。さらに、請求項7や請求項19に記載したように、

$$L > 4S^{1/2}$$

となっている。より具体的には、 $L=36$ 、 $S=45$ である。この構造によれば、素子チップ13の周辺長を長くすることにより、幅広の第1パッド15を形成することができる。素子チップ13の面積は大きくならないので、製造コストを低減することについては、同一の効果が得られる。なお、本実施例では、矩形の素子チップ13を考えたが、その他、L字型、U字型、ドーナツ状、円弧状など、いかなる形状であっても、上記2式の条件を満たす限り、本発明の思想は有効である。

【0091】(剥離転写方法の例)図12は、本発明の剥離転写方法の例を示す図である。本発明の剥離転写のひとつの方法として説明する(特願2001-282423、特願2001-282424、T. Shimoda, et al, Techn. Dig. IEDM 1999, 289, S. Utsunomiya, et al, Dig. Tech. Pap. SID 2000, 916, T. Shimoda, Proc. Asia Display / IDW '01, 327, S. Utsunomiya, et al, Proc. Asia Display / IDW '01, 339)。まず、石英やガラスでできた第1基板21上に、 SiH_4 を用いたPECVDや、 Si_2H_6 を用いたLPCVDにより、非晶質シリコン膜22を成膜する。次に、その上

に、機能素子23を形成する。最上層には、第1パッド24を形成する(図12(a))。これを上下逆にして、第2基板25に貼り合わせ、石英やガラスでできているため透明な第1基板21を通して、剥離転写したい素子チップ27のみ、レーザー26を照射する(図12(b))。すると、レーザー26が照射したところのみ、非晶質シリコン膜22がアビュレーションして剥離し、素子チップ27が第2基板25に転写する(図12(c))。請求項25に記載したように、素子チップ27の剥離や転写に、レーザー26の照射を用いていることとなる。この構造によれば、素子チップ27の剥離や転写を、確実に行うことが可能となる。

【0092】(薄膜トランジスタの製造方法の例) 図13は、本発明の薄膜トランジスタの製造方法の例を示す図である。本発明の機能素子のひとつとしての薄膜トランジスタについて、その製造方法を説明する。ここでは、レーザー結晶化多結晶薄膜トランジスタを例にとって説明する。まず、石英やガラスでできた第1基板31上に、 SiH_4 を用いたPECVDや、 Si_2H_6 を用いたLPCVDにより、非晶質シリコン膜を成膜する。レーザー33を照射することにより、非晶質シリコン膜は結晶化し、多結晶シリコン膜32となる(図13(a))。多結晶シリコン膜32をパターンニングした後、ゲート絶縁膜34を成膜し、ゲート電極35を成膜およびパターンニングする(図13(b))。リンやボロンなどの不純物をゲート電極35を用いて自己整合的に多結晶シリコン膜32に打ち込み、活性化し、CMOS構造のソース領域およびドレイン領域36を形成する。層間絶縁膜37を成膜し、コンタクトホールを開穴し、ソース電極およびドレイン電極38を成膜およびパターンニングする(図13(c))。請求項26に記載したように、機能素子が薄膜トランジスタであることとなる。この構造によれば、従来方法では作成するために高度で複雑な製造プロセスが必要とされた高機能の薄膜トランジスタに対して、第1パッドの面積を大きくとる、または、第1パッドの幅を広くとることが可能となる。

【0093】(有機エレクトロルミネッセンス素子の製造方法の例) 図14は、本発明の有機エレクトロルミネッセンス素子の製造方法の例を示す図である。本発明の機能素子のひとつとしての有機エレクトロルミネッセンス素子について、その製造方法を説明する。まず、石英やガラスでできた第1基板41上に、透明電極42を成膜し、密着層43を成膜し、発光させたい領域に開口部を形成する。ポリイミドやアクリルによりバンク44を成膜し、発光させたい領域に開口部を形成する。(図14(a))。次に、酸素プラズマや CF_4 プラズマなどのプラズマ処理により、基板表面の濡れ性を制御する。その後、正孔注入層45および発光層46を、スピンコート、スクリーン塗布、インクジェットプロセス(T. Shimoda, S. Seki, et al, Dig. SID '99, 376, S. Kanbe, et al,

Proc. Euro Display '99 Late-News Papers, 85) などの液相プロセスや、スパッタ、蒸着などの真空プロセスにより成膜する。仕事関数が小さくなるようにするためにアルカリ金属を含んだ陰極47を成膜し、封止剤48により封止し、完成する(図14(b))。請求項27に記載したように、機能素子有機エレクトロルミネッセンス素子であることとなる。この構造によれば、従来方法では作成するために高度で複雑な製造プロセスが必要とされた高機能の有機エレクトロルミネッセンス素子に対して、第1パッドの面積を大きくとる、または、第1パッドの幅を広くとることが可能となる。

【0094】(第5の実施例) 図15は、本発明の第5の実施例の電気光学装置を示す図である。表示領域51上に、素子チップ52が配置され、配線53が形成されている。配線53は、引出配線54により、駆動回路55に接続されている。請求項28に記載したように、請求項1から請求項27記載の、半導体装置を用いていることを特徴とする、電気光学装置である。この構造によれば、電気光学装置では、一般に、機能素子に対する配線や支持基板の面積比が大きいため、配線や支持基板を別個に作成し、必要とされる部分にだけ機能素子を配置することによる製造コストの低減の効果が、より有効となる。

【0095】図16は、本発明の第5の実施例の製造方法を示す図である。まず、本発明の第1の実施例と同様の方法で、半導体装置を作製する(図16(a))。そのあと、有機エレクトロルミネッセンス素子を作製する(図16(b))。

【0096】なお、駆動回路55は、上記の剥離転写方法の例や薄膜トランジスタ製造方法の例に示したような技術を用いて、表示領域と同一基板上に内蔵してもよい。また、本実施例は、有機エレクトロルミネッセンス表示装置であるが、液晶表示装置や電気泳動表示装置など、その他の電気光学装置であつてもよい。

【0097】図17はアクティブマトリクス方式で駆動する電気光学装置10の画素領域の回路構成図である。各画素は、電界発光効果により発光可能な発光層OLED、それを駆動するための電流を記憶する保持容量C、薄膜トランジスタT1及びT2を備えて構成されている。走査線ドライバ20からは、選択信号線Vselが各画素に供給されている。データ線ドライバ30からは、信号線Vsig及び電源線Vddが各画素に供給されている。選択信号線Vselと信号線Vsigを制御することにより、各画素に対する電流プログラムが行われ、発光部OLEDによる発光が制御される。

【0098】(電子機器の例) 図18に上記半導体装置を適用可能な電子機器の例を挙げる。同図(a)は携帯電話への適用例であり、携帯電話230は、アンテナ部231、音声出力部232、音声入力部233、操作部234、及び本発明の半導体装置が用いられた電気光学装置10を備えている。このように本発明の半導体装置

は携帯電話 230 の表示部に利用可能である。同図

(b) はビデオカメラへの適用例であり、ビデオカメラ 240 は、受像部 241、操作部 242、音声入力部 243、及び本発明の半導体装置が用いられた電気光学装置 10 を備えている。このように本発明の半導体装置は、ファインダーや表示部に利用可能である。同図

(c) は携帯型パーソナルコンピュータへの適用例であり、コンピュータ 250 は、カメラ部 251、操作部 252、及び本発明の半導体装置が用いられた電気光学装置 10 を備えている。このように本発明の半導体装置は、表示部に利用可能である。

【0099】同図 (d) はヘッドマウントディスプレイへの適用例であり、ヘッドマウントディスプレイ 260 は、バンド 261、光学系収納部 262 及び本発明の半導体装置が用いられた電気光学装置 10 を備えている。このように本発明の半導体装置は画像表示源に利用可能である。同図 (e) はリア型プロジェクターへの適用例であり、プロジェクター 270 は、筐体 271 に、光源 272、合成光学系 273、ミラー 274、ミラー 275、スクリーン 276、及び本発明の半導体装置が用いられた電気光学装置 10 を備えている。このように本発明の半導体装置は画像表示源に利用可能である。同図

(f) はフロント型プロジェクターへの適用例であり、プロジェクター 280 は、筐体 282 に光学系 281 及び本発明の半導体装置が用いられた電気光学装置 10 を備え、画像をスクリーン 283 に表示可能になっている。このように本発明の半導体装置は画像表示源に利用可能である。

【0100】上記例に限らず本発明の半導体装置は、アクティブマトリクス型の電気光学装置等を用いたあらゆる電子機器に適用可能である。例えば、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型 TV、DSP 装置、PDA、電子手帳、電光掲示板、宣伝広告用ディスプレイなどにも活用することができる。

【0101】

【発明の効果】本発明によれば、第 1 基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第 2 基板上へ転写し、素子チップ上の導電性材料から成る第 1 パッドと第 2 基板上の導電性材料から成る第 2 パッドとの導通をとることにより形成する、半導体装置、または、第 1 基板上で機能素子を形成し、機能素子をひとつ以上含む素子チップを剥離し、第 3 基板上へ転写し、さらに素子チップを第 2 基板上へ転写し、素子チップ上の導電性材料から成る第 1 パッドと第 2 基板上の導電性材料から成る第 2 パッドとの導通をとることにより形成する、半導体装置において、第 1 パッドの面積を大きくとることができ、または、第 1 パッドの幅を広くとることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の製造方法を示す図。

【図 2】本発明の第 1 の実施例の素子チップの構造を示す図。

【図 3】本発明の第 1 の実施例の第 2 基板の構造を示す図。

【図 4】第 1 パッドを凸状に形成し、第 2 パッドを凹状に形成した例を概念的に示す断面図。

【図 5】本発明の第 2 の実施例の製造方法を示す図。

【図 6】本発明の第 2 の実施例の素子チップの構造を示す図。

10 【図 7】本発明の第 2 の実施例の第 2 基板の構造を示す図。

【図 8】本発明の第 3 の実施例の製造方法を示す図。

【図 9】本発明の第 3 の実施例の素子チップの構造を示す図。

【図 10】本発明の第 3 の実施例の第 2 基板の構造を示す図。

【図 11】本発明の第 4 の実施例の素子チップの構造を示す図。

【図 12】本発明の剥離転写方法の例を示す図。

20 【図 13】本発明の薄膜トランジスタの製造方法の例を示す図。

【図 14】本発明の有機エレクトロルミネッセンス素子の製造方法の例を示す図。

【図 15】本発明の第 5 の実施例の電気光学装置を示す図。

【図 16】本発明の第 5 の実施例の製造方法を示す図。

【図 17】本発明の半導体装置を用いた電気光学装置の画素領域の回路構成図。

30 【図 18】本発明の半導体装置を適用可能な電子機器の例を示す図。

【符号の説明】

11 第 1 基板

12 機能素子

13 素子チップ

14 第 2 基板

15 第 1 パッド

16 第 2 パッド

17 配線

18 第 3 基板

40 19 接続配線

21 第 1 基板

22 非晶質シリコン膜

23 機能素子

24 第 1 パッド

25 第 2 基板

26 レーザー

27 素子チップ

31 第 1 基板

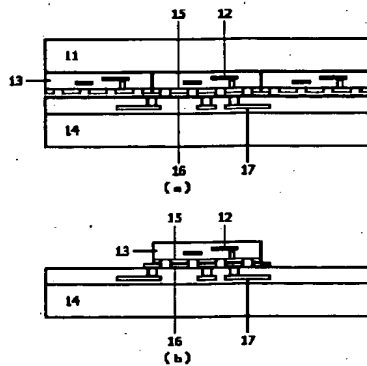
32 多結晶シリコン膜

50 33 レーザー

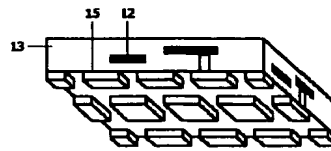
- 34 ゲート絶縁膜
- 35 ゲート電極
- 36 ソース領域およびドレイン領域
- 37 層間絶縁膜
- 38 ソース電極およびドレイン電極
- 41 第1基板
- 42 透明電極
- 43 密着層
- 44 パンク

- 45 正孔注入層
- 46 発光層
- 47 陰極
- 48 封止剤
- 51 表示領域
- 52 素子チップ
- 53 配線
- 54 引出配線
- 55 駆動回路

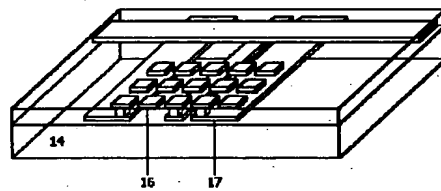
【図1】



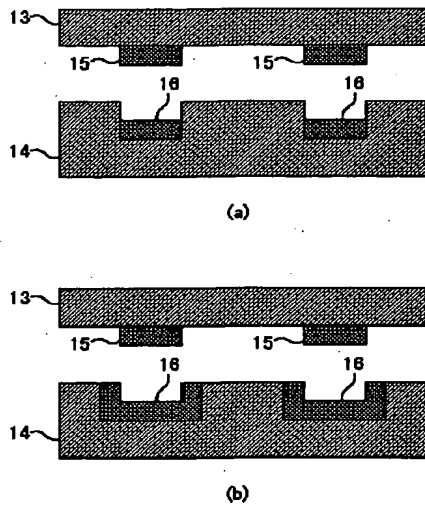
【図2】



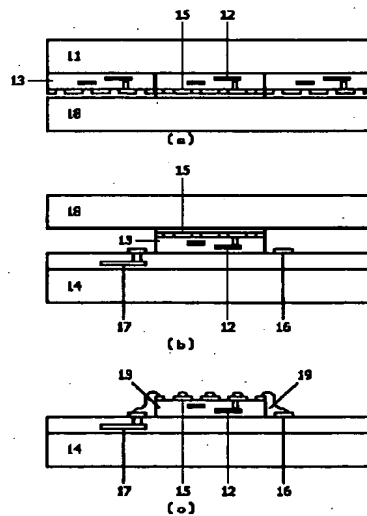
【図3】



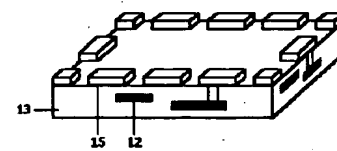
【図4】



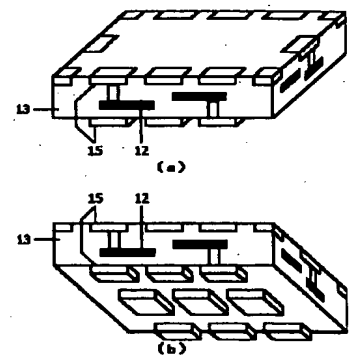
【図5】



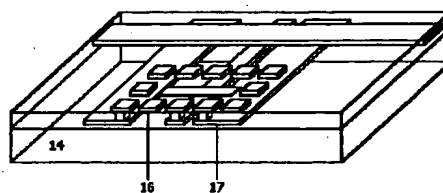
【図6】



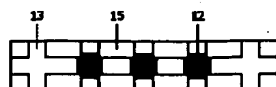
【図9】



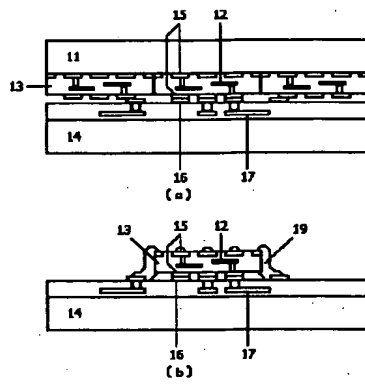
【図7】



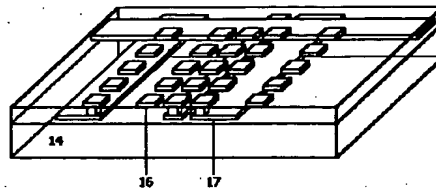
【図11】



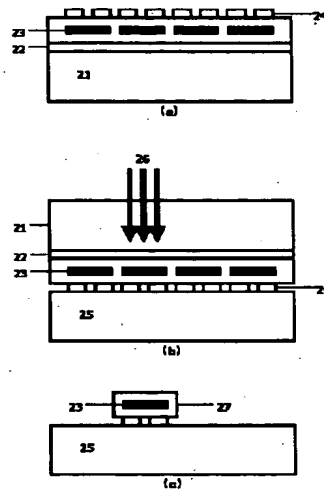
【図8】



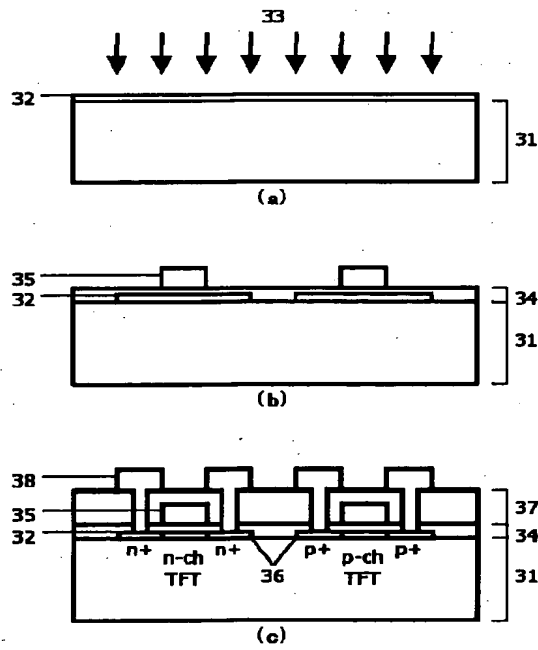
【図10】



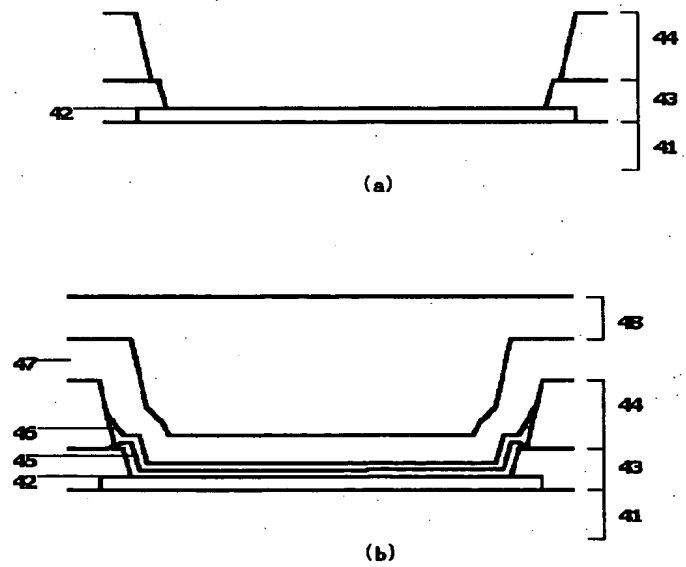
【図12】



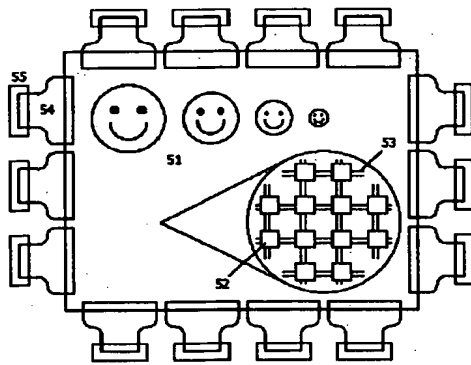
【図13】



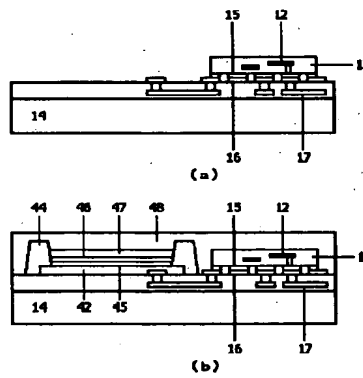
【図14】



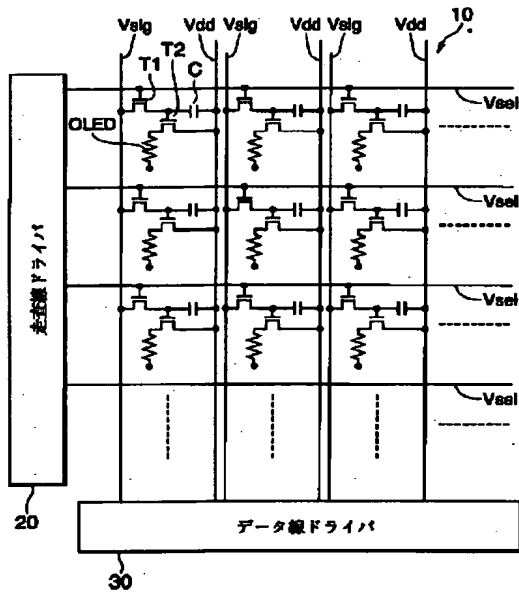
【図15】



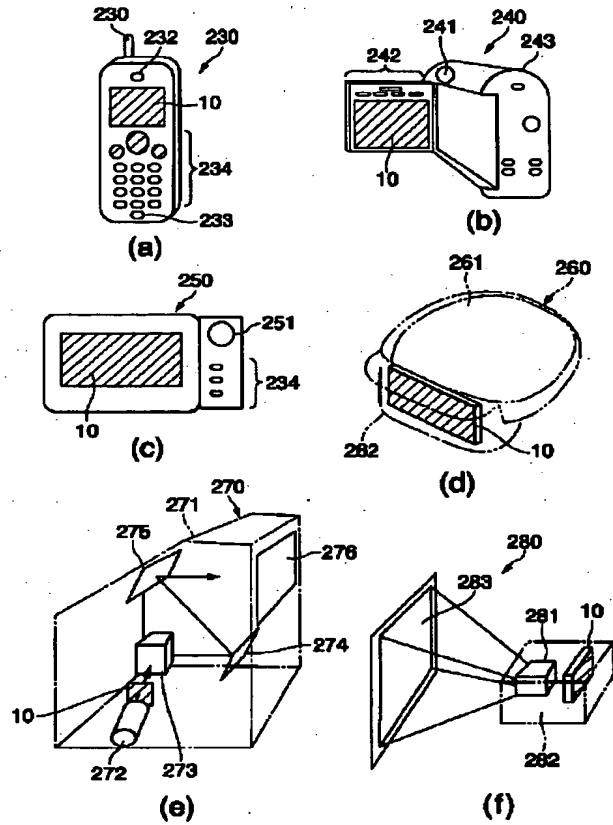
【図16】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. 7

H01L 25/18

H05B 33/06

33/14

識別記号

FI

H01L 25/08

テーマコード (参考)

B

(72)発明者 原 弘幸

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ
ーエプソン株式会社内

(72)発明者 宮沢 和加雄

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ
ーエプソン株式会社内

F ターム(参考) 3K007 AB18 BA06 BB07 CC05 DB03

FA01 GA04

5C094 AA15 AA43 BA03 BA27 CA19

DA09 DA11 DB01 DB02 DB04

EA04 EA05 EB02 FA01 FA02

FB01 FB12 FB14 FB15 FB20

GB10

JP.2003-298006.A

OTICES *

Patent Office is not responsible for any errors or omissions caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

In the drawings, any words are not translated.

AIMS

aim(s)]

aim 1] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a wafer with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming only said 1st pad in the side face by the side of said 2nd substrate of said element chip.

aim 2] It is the semiconductor device characterized by forming said functional device in a side further than said 1st pad from said 2nd substrate in a semiconductor device according to claim 1.

aim 3] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a wafer with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming only said 1st pad in the side face of a side far from said 2nd substrate of said element chip.

aim 4] It is the semiconductor device characterized by forming said functional device in said 2nd substrate side further than said 1st pad in a semiconductor device according to claim 3.

aim 5] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a wafer with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming said 1st pad in the surface of the side of said 2nd substrate of said element chip, and the surface of a side far from said 2nd substrate.

aim 6] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a wafer with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by being $L > 2\pi l/2S^{1/2}$ when setting circumference length of said element chip to L and setting area to S.

aim 7] A semiconductor device characterized by being $L > 4S^{1/2}$ in a semiconductor device according to claim 6.

aim 8] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a wafer with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming said 1st pad or said 2nd pad with low melting point materials, such as solder, an indium, and lead.

aim 9] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a wafer with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming said 1st pad in an end face of said element chip in a form which projects in a way outside the direction of a field of said 1st substrate, and having formed a configuration corresponding to said 1st pad on said 2nd substrate.

aim 10] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a wafer with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming said 1st pad in a concave and forming said 2nd pad in convex or it forms said 1st pad in convex and forms said 2nd pad in a concave.

aim 11] The semiconductor device characterized by to use a low dielectric constant material as an insulating layer of

http://www4.ipdl.jpo.go.jp/cgi-bin/tran_web.cgi_ejje?u=http%3A%2F%2Fwww4.ipdl.jpo.go.jp%2FTokuj... 1/12/2004

element chip in a semiconductor device which forms a functional device on the 1st substrate, exfoliates, imprints an element chip containing said one or more functional devices to up to the 2nd substrate, and is formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate.

claim 12] The semiconductor device characterized by to use a gas, a liquid, and a vacuum as an insulating layer of said element chip in the semiconductor device which forms a functional device on the 1st substrate, exfoliates, imprints an element chip containing said one or more functional devices to up to the 2nd substrate, and is formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate.

claim 13] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. Imprint to up to the 3rd substrate and said element chip is further imprinted to up to the 2nd substrate. In a semiconductor device formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming only said 1st pad in the surface by the side of said 2nd substrate of said element chip.

claim 14] It is the semiconductor device characterized by forming said functional device in a side further than said 1st pad from said 2nd substrate in a semiconductor device according to claim 13.

claim 15] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. Imprint to up to the 3rd substrate and said element chip is further imprinted to up to the 2nd substrate. In a semiconductor device formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming only said 1st pad in the surface of a side far from said 2nd substrate of said element chip.

claim 16] It is the semiconductor device characterized by forming said functional device in said 2nd substrate side further than said 1st pad in a semiconductor device according to claim 15.

claim 17] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. Imprint to up to the 3rd substrate and said element chip is further imprinted to up to the 2nd substrate. In a semiconductor device formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming said 1st pad in the surface by the side of said 2nd substrate of said element chip, and the surface of a side far from said 2nd substrate.

claim 18] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. Imprint to up to the 3rd substrate and said element chip is further imprinted to up to the 2nd substrate. In a semiconductor device formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by being $L > 2\pi l / 2S^{1/2}$ when setting circumference length of said element chip to L and setting width to S.

claim 19] A semiconductor device characterized by being $L > 4S^{1/2}$ in a semiconductor device according to claim 18.

claim 20] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. Imprint to up to the 3rd substrate and said element chip is further imprinted to up to the 2nd substrate. In a semiconductor device formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming said 1st pad or said 2nd pad with low melting point materials, such as solder, aluminum, and lead.

claim 21] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. Imprint to up to the 3rd substrate and said element chip is further imprinted to up to the 2nd substrate. In a semiconductor device formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming said 1st pad in an end face of said element chip in a form which projects in a way opposite the direction of a field of said 1st substrate, and having formed a configuration corresponding to said 1st pad on said 2nd substrate.

claim 22] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. Imprint to up to the 3rd substrate and said element chip is further imprinted to up to the 2nd substrate. In a semiconductor device formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate A semiconductor device characterized by forming said 1st pad or said 2nd pad with low melting point materials, such as solder, aluminum, and lead.

vice characterized by forming said 1st pad in a concave and forming said 2nd pad in convex or it forms said 1st pad in convex and forms said 2nd pad in a concave.

aim 23] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. Imprint to up to the 3rd substrate and said element chip is further imprinted to up to the 2nd substrate. A semiconductor device characterized by using a low dielectric constant material as an insulating layer of said element chip in a semiconductor device formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate.

aim 24] Form a functional device on the 1st substrate and an element chip containing said one or more functional devices is exfoliated. Imprint to up to the 3rd substrate and said element chip is further imprinted to up to the 2nd substrate. A semiconductor device characterized by using a gas, a liquid, and a vacuum as an insulating layer of said element chip in a semiconductor device formed by taking a flow with the 1st pad which consists of a conductive material on said element chip, and the 2nd pad which consists of a conductive material on said 2nd substrate.

aim 25] A semiconductor device characterized by using laser radiation for exfoliation and an imprint of said element chip in a semiconductor device according to claim 24 from claim 1.

aim 26] A semiconductor device characterized by said functional device being a thin film transistor in a semiconductor device according to claim 24 from claim 1.

aim 27] A semiconductor device characterized by said functional device being an organic electroluminescent element in a semiconductor device according to claim 24 from claim 1.

aim 28] An electro-optic device characterized by using a semiconductor device according to claim 27 from claim 1.

aim 29] Electronic equipment characterized by using a semiconductor device according to claim 27 from claim 1.

translation done.]

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

In the drawings, any words are not translated.

DETAILED DESCRIPTION

Detailed Description of the Invention]

[001]

the technical field to which invention belongs] This invention exfoliates a semiconductor device and the element chip which forms a functional device on the 1st substrate especially, and contains one or more functional devices. The semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of the conductive material on an element chip, and the 2nd pad which consists of the conductive material on the 2nd substrate, Or form a functional device on the 1st substrate and the element chip containing one or more functional devices is exfoliated. It imprints to up to the 3rd substrate, an element chip is further imprinted to up to the 2nd substrate, and it is related with the semiconductor device formed by taking a flow with the 1st pad which consists of the conductive material on an element chip, and the 2nd pad which consists of the conductive material on the 2nd substrate. Moreover, it is related with the electro-optic device which uses these semiconductor devices.

[002]

background of the Invention] A functional device is [whole / a part of] in the semiconductor device of the electronic circuitry equipped with wiring between a functional device, for example, a thin film transistor and an organic electroluminescent element, and this functional device, or a support substrate, and others, and there are not few cases where they are wiring and a support substrate, other than it. Since a complicated manufacture process is needed with the attitude for creating a highly efficient functional device when manufacturing a functional device, and wiring and a support substrate for this semiconductor device through the manufacture process same as one, generally a manufacturing cost becomes a large sum. However, only for wiring or a support substrate, an advanced and complicated manufacture process is not needed but the manufacturing cost is cheap. If a functional device, and wiring and a support substrate can be created separately, a functional device can be arranged only into the portion needed and it will average a whole, it is possible to reduce the manufacturing cost of this semiconductor device.

[003] Then, form a functional device on the 1st substrate and the element chip containing one or more functional devices is exfoliated. The semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of the conductive material on an element chip, and the 2nd pad which consists of the conductive material on the 2nd substrate, Or form a functional device on the 1st substrate and the element chip containing one or more functional devices is exfoliated. Imprint to up to the 3rd substrate, imprint an element chip to up to the 2nd substrate further, and form by taking a flow with the 1st pad which consists of the conductive material on an element chip, and the 2nd pad which consists of the conductive material on the 2nd substrate. Electro-optic devices, such as a display which uses semiconductor devices and these semiconductor devices, are developed. Since a functional device can be arranged only into the portion needed according to this method, if it averages as a whole, it is possible to reduce the manufacturing cost of this semiconductor device. At this time, in addition, as a process of exfoliation or an imprint Laser ABYURESHON and adhesives are used (). [T.] Shimoda, et al, and Techn. Dig.IEDM 1999, 289, and S. Utsunomiya, et al, and Dig. Tech.Pap.SID 2000, 916, and T. Shimoda, Proc.Asia Display / IDW'01, 327, S.Utsunomiya, et al, Proc.Asia Display / IDW'01, 339

problem(s) to be Solved by the Invention] Form a functional device on the 1st substrate and the element chip containing one or more functional devices is exfoliated. The semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of the conductive material on an element chip, and the 2nd pad which consists of the conductive material on the 2nd substrate, Or form a functional device on the 1st substrate and the element chip containing one or more functional devices is exfoliated. Imprint to up to the 3rd substrate, imprint an element chip to up to the 2nd substrate further, and form by taking a flow with the 1st pad which consists of the conductive material on an element chip, and the 2nd pad which consists of the conductive material on the 2nd

strate. In a semiconductor device, it is set to one of the development technical problems how the flow of the 1st pad and the 2nd pad is taken. It is more desirable to take a large area of the 1st pad and the 2nd pad so that the flow of the pad and the 2nd pad can be certainly taken even if gap arises since it is easy to produce gap in the process of exfoliation or an imprint at this time. Since an element chip is made as small as possible by intention to reduce a manufacturing cost especially, it is difficult to take a large area of the 1st pad. It is comparatively easy for the 2nd substrate to have many additional coverage comparatively in area on the other hand, and to take the 2nd large pad. Moreover, it is desirable it not only to take a large area of the 1st pad, but to take the large width of face.

[004] Then, this invention forms a functional device on the 1st substrate, and exfoliates the element chip containing one or more functional devices. The semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of the conductive material on an element chip, and the 2nd pad which consists of the conductive material on the 2nd substrate, Or form a functional device on the 1st substrate and the element chip containing one or more functional devices is exfoliated. In the semiconductor device which imprints to up to the 1st substrate, imprints an element chip to up to the 2nd substrate further, and is formed by taking a flow with the 1st pad which consists of the conductive material on an element chip, and the 2nd pad which consists of the conductive material on the 2nd substrate. A large area of the 1st pad is taken or it aims at taking the large width of face of the 1st pad. According to this structure, even if gap arises in the process of exfoliation or an imprint, it becomes possible to take the flow of the 1st pad and the 2nd pad certainly. Furthermore, if a large area of the 1st pad is taken and a to some extent large area of the 2nd corresponding pad can also be taken, it will also become reduction of contact resistance.

[005]

[Means for Solving the Problem] This invention according to claim 1 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 2nd substrate. It is the semiconductor device characterized by forming only the 1st pad in the surface by the side of the 2nd substrate of an element chip.

[006] According to this structure, a large area of the 1st pad can be taken.

[007] This invention according to claim 2 is a semiconductor device characterized by forming a functional device in a area further than the 1st pad from the 2nd substrate in a semiconductor device according to claim 1.

[008] According to this structure, by carrying out the laminating of a functional device and the 1st pad, and forming a film, it can superimpose on a functional device, the 1st pad can be formed, and a large area of the 1st pad can be taken.

[009] This invention according to claim 3 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 2nd substrate. It is the semiconductor device characterized by forming only the 1st pad in the surface of a side far from the 2nd substrate of an element chip.

[010] According to this structure, a large area of the 1st pad can be taken.

[011] This invention according to claim 4 is a semiconductor device characterized by forming a functional device in a area 2nd substrate side rather than the 1st pad in a semiconductor device according to claim 3.

[012] According to this structure, by carrying out the laminating of a functional device and the 1st pad, and forming a film, it can superimpose on a functional device, the 1st pad can be formed, and a large area of the 1st pad can be taken.

[013] This invention according to claim 5 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 2nd substrate. It is the semiconductor device characterized by forming the 1st pad in the surface by the side of the 2nd substrate of an element chip, and the surface of a side far from the 2nd substrate.

[014] According to this structure, a still larger area of the 1st pad can be taken.

[015] This invention according to claim 6 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 2nd substrate. When setting circumference length of an element chip to L and setting area to S, it is the semiconductor device characterized by being $L > 2\pi \sqrt{S}$.

[016] According to this structure, the 1st broad pad can be formed by lengthening circumference length of an element chip. Since area of an element chip does not become large, the same effect is acquired about reducing a manufacturing cost.

- 017] This invention according to claim 7 is a semiconductor device characterized by being $L > 4S^{1/2}$ in a semiconductor device according to claim 6.
- 018] Also according to this structure, the 1st broad pad can be formed by lengthening circumference length of an element chip. Too, since area of an element chip does not become large, the same effect is acquired about reducing a manufacturing cost.
- 019] This invention according to claim 8 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 2nd substrate. It is the semiconductor device characterized by forming the 1st pad or the 2nd pad with low melting point materials, such as solder, an indium, and lead.
- 020] After according to this structure exfoliating and imprinting an element chip to up to the 2nd substrate, it becomes possible only by carrying out fixed time amount maintenance at an elevated temperature to take a flow with the 1st pad and the 2nd pad.
- 021] This invention according to claim 9 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 2nd substrate. It is the semiconductor device characterized by forming the 1st pad in an end face of an element chip in a form which projects in a way outside the direction of a field of said 1st substrate, and having formed a configuration corresponding to the 1st pad on the 2nd substrate.
- 022] According to this structure, the 1st pad can be arranged in self align to the 2nd pad, and even if gap arises, a flow with the 1st pad and the 2nd pad can be taken certainly.
- 023] This invention according to claim 10 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 2nd substrate. Or it forms the 1st pad in convex and forms the 2nd pad in concave, it is the semiconductor device characterized by forming the 1st pad in a concave and forming the 2nd pad in convex.
- 024] Even if it can arrange the 1st pad in self align to the 2nd pad and gap arises also according to this structure, a flow with the 1st pad and the 2nd pad can be taken certainly.
- 025] This invention according to claim 11 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 2nd substrate, it is the semiconductor device characterized by using a low electric constant material as an insulating layer of an element chip.
- 026] According to this structure, a functional device of an element chip and parasitic capacitance of the circumference of it can be reduced, and reduction of power consumption and improvement in clock frequency can be expected. This invention according to claim 12 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 2nd substrate and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 2nd substrate. It is the semiconductor device characterized by using a gas, a liquid, and a vacuum as an insulating layer of an element chip.
- 027] Also according to this structure, a functional device of an element chip and parasitic capacitance of the circumference of it can be reduced, and reduction of power consumption and improvement in clock frequency can be expected.
- 028] This invention according to claim 13 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 3rd substrate, it prints an element chip to up to the 2nd substrate further, and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 3rd substrate. It is the semiconductor device characterized by forming only the 1st pad in the surface by the side of the 3rd substrate of an element chip.
- 029] According to this structure, a large area of the 1st pad can be taken.
- 030] This invention according to claim 14 is a semiconductor device characterized by forming a functional device in a place further than the 1st pad from the 2nd substrate in a semiconductor device according to claim 13.
- 031] According to this structure, by carrying out the laminating of a functional device and the 1st pad, and forming

m, it can superimpose on a functional device, the 1st pad can be formed, and a large area of the 1st pad can be taken.
 032] This invention according to claim 15 forms a functional device on the 1st substrate, and exfoliates an element p containing one or more functional devices. In a semiconductor device which imprints to up to the 3rd substrate, prints an element chip to up to the 2nd substrate further, and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 1st substrate. It is the semiconductor device characterized by forming only the 1st pad in the surface of a side far from the 2nd substrate of an element chip.

033] According to this structure, a large area of the 1st pad can be taken.

034] This invention according to claim 16 is a semiconductor device characterized by forming a functional device in the 2nd substrate side rather than the 1st pad in a semiconductor device according to claim 15.

035] According to this structure, by carrying out the laminating of a functional device and the 1st pad, and forming m, it can superimpose on a functional device, the 1st pad can be formed, and a large area of the 1st pad can be taken.

036] According to this structure, a large area of the 1st pad can be taken.

037] This invention according to claim 17 forms a functional device on the 1st substrate, and exfoliates an element p containing one or more functional devices. In a semiconductor device which imprints to up to the 3rd substrate, prints an element chip to up to the 2nd substrate further, and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the d substrate. It is the semiconductor device characterized by forming the 1st pad in the surface by the side of the 2nd substrate of an element chip, and the surface of a side far from the 2nd substrate.

038] According to this structure, a still larger area of the 1st pad can be taken.

039] This invention according to claim 18 forms a functional device on the 1st substrate, and exfoliates an element ip containing one or more functional devices. In a semiconductor device which imprints to up to the 3rd substrate, prints an element chip to up to the 2nd substrate further, and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the d substrate. When setting circumference length of an element chip to L and setting area to S, it is the semiconductor device characterized by being $L > 2\pi l / 2S^{1/2}$.

040] According to this structure, the 1st broad pad can be formed by lengthening circumference length of an element ip. Since area of an element chip does not become large, the same effect is acquired about reducing a manufacturing cost.

041] This invention according to claim 19 is a semiconductor device characterized by being $L > 4S^{1/2}$ in a semiconductor device according to claim 18.

042] Also according to this structure, the 1st broad pad can be formed by lengthening circumference length of an element chip. Too, since area of an element chip does not become large, the same effect is acquired about reducing a manufacturing cost.

043] This invention according to claim 20 forms a functional device on the 1st substrate, and exfoliates an element ip containing one or more functional devices. In a semiconductor device which imprints to up to the 3rd substrate, prints an element chip to up to the 2nd substrate further, and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the d substrate. It is the semiconductor device characterized by forming the 1st pad or the 2nd pad with low melting point materials, such as solder, an indium, and lead.

044] After according to this structure exfoliating and imprinting an element chip to up to the 2nd substrate, it becomes possible only by carrying out fixed time amount maintenance at an elevated temperature to take a flow with the 1st pad and the 2nd pad.

045] This invention according to claim 21 forms a functional device on the 1st substrate, and exfoliates an element ip containing one or more functional devices. In a semiconductor device which imprints to up to the 3rd substrate, prints an element chip to up to the 2nd substrate further, and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the d substrate. It is the semiconductor device characterized by forming the 1st pad in an end face of an element chip in a m which projects in a way outside the direction of a field of said 1st substrate, and having formed a configuration corresponding to the 1st pad on the 2nd substrate.

046] According to this structure, the 1st pad can be arranged in self align to the 2nd pad, and even if gap arises, a flow with the 1st pad and the 2nd pad can be taken certainly.

047] This invention according to claim 22 forms a functional device on the 1st substrate, and exfoliates an element ip containing one or more functional devices. In a semiconductor device which imprints to up to the 3rd substrate,

prints an element chip to up to the 2nd substrate further, and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 1st substrate. Or it forms the 1st pad in convex and forms the 2nd pad in a concave, it is the semiconductor device characterized by forming the 1st pad in a concave and forming the 2nd pad in convex.

48] Even if it can arrange the 1st pad in self align to the 2nd pad and gap arises also according to this structure, a flow of the 1st pad and the 2nd pad can be taken certainly.

49] This invention according to claim 23 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 3rd substrate, prints an element chip to up to the 2nd substrate further, and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 1st substrate. It is the semiconductor device characterized by using a low dielectric constant material as an insulating layer of an element chip.

50] According to this structure, a functional device of an element chip and parasitic capacitance of the circumference of it can be reduced, and reduction of power consumption and improvement in clock frequency can be expected.

51] This invention according to claim 24 forms a functional device on the 1st substrate, and exfoliates an element chip containing one or more functional devices. In a semiconductor device which imprints to up to the 3rd substrate, prints an element chip to up to the 2nd substrate further, and is formed by taking a flow with the 1st pad which consists of a conductive material on an element chip, and the 2nd pad which consists of a conductive material on the 1st substrate. It is the semiconductor device characterized by using a gas, a liquid, and a vacuum as an insulating layer of an element chip.

52] Also according to this structure, a functional device of an element chip and parasitic capacitance of the circumference of it can be reduced, and reduction of power consumption and improvement in clock frequency can be expected.

53] This invention according to claim 25 is a semiconductor device characterized by using laser radiation for exfoliation and an imprint of an element chip in a semiconductor device according to claim 24 from claim 1.

54] According to this structure, it becomes possible to ensure exfoliation and an imprint of an element chip.

55] This invention according to claim 26 is a semiconductor device characterized by a functional device being a thin film transistor in a semiconductor device according to claim 24 from claim 1.

56] According to this structure, by conventional method, in order to create, it becomes possible to take a large area of the 1st pad or to take large width of face of the 1st pad to a highly efficient thin film transistor for which a complicated manufacture process was needed, with altitude.

57] This invention according to claim 27 is a semiconductor device characterized by a functional device being an organic electroluminescent element in a semiconductor device according to claim 24 from claim 1.

58] According to this structure, by conventional method, in order to create, it becomes possible to take a large area of the 1st pad or to take large width of face of the 1st pad to a highly efficient organic electroluminescent element for which a complicated manufacture process was needed, with altitude.

59] This invention according to claim 28 is an electro-optic device characterized by using a semiconductor device according to claim 27 from claim 1.

60] According to this structure, with an electro-optic device, generally, since surface ratio of wiring or a support substrate to a functional device is large, wiring and a support substrate are created separately and an effect of reduction of a manufacturing cost by arranging a functional device only into a portion needed becomes more effective.

61] This invention according to claim 29 is electronic equipment characterized by using a semiconductor device according to claim 27 from claim 1.

62] According to this structure, a manufacturing cost can take a low flow of the 1st pad and the 2nd pad certainly, and can offer electronic equipment of high performance.

63] [Embodiment of the Invention] Hereafter, the gestalt of desirable operation of this invention is explained.

64] (The 1st example) Drawing 1 is drawing showing the manufacture method of the 1st example of this invention. The semiconductor device of an electronic circuitry and others is formed by forming a functional device 12 on the 1st substrate 11, exfoliating, imprinting the element chip 13 containing one or more functional devices 12 to up to the 2nd substrate 14, and taking a flow with the 1st pad 15 which consists of the conductive material on the element chip 13, and the 2nd pad 16 which consists of the conductive material on the 2nd substrate 14. It is drawing which drawing and drawing 1 (b) on which drawing 1 (a) sticks the element chip forming face of the 1st substrate 11 with the 2nd substrate 14, exfoliated from the 1st substrate 11, imprinted the element chip 13 to up to the 2nd substrate 14, and removed the 1st

strate 11. Before an exfoliation imprint or the back may take a flow with the 1st pad 15 and the 2nd pad 16.

65] Drawing 2 is drawing showing the structure of the element chip of the 1st example of this invention. The functional device 12 is electrically connected with the 1st predetermined pad 15. As indicated to claim 1, only the 1st pad 15 is formed in the surface by the side of the 2nd substrate 14 of the element chip 13. Another element or another electrode are not formed in the surface by the side of the 2nd substrate 14 of the element chip 13. According to this structure, a large area of the 1st pad 15 can be taken. Moreover, as indicated to claim 2, the functional device 12 is formed in the side further than the 1st pad 15 from the 2nd substrate 14. According to this structure, by carrying out the laminating of a functional device 12 and the 1st pad 15, and forming them, it can superimpose on a functional device 12, the 1st pad 15 can be formed, and a large area of the 1st pad 15 can be taken.

66] Drawing 3 is drawing showing the structure of the 2nd substrate of the 1st example of this invention. Although it is a perspective drawing, some of wiring, contact holes, beer plugs, etc. are excluded. On the 2nd substrate 14, not only the 2nd pad 16 but the 2nd predetermined pad 16 and the flowing wiring 17 are formed. The 2nd pad 16 is formed in the position corresponding to the 1st pad 15 on the element chip 13 on the 2nd substrate 14.

67] In addition, as indicated to claim 13, a functional device 12 is formed on the 1st substrate 11. Exfoliate and the element chip 13 containing one or more functional devices 12 is imprinted to up to the 3rd substrate 18. Also in the semiconductor device which furthermore imprints the element chip 13 to up to the 2nd substrate 14, and is formed by carrying a flow with the 1st pad 15 which consists of the conductive material on the element chip 13, and the 2nd pad 16 which consists of the conductive material of 2nd substrate top 14. It is effective to form only the 1st pad 15 in the surface by the side of the 2nd substrate 14 of the element chip 13 in order to take a large area of the 1st pad 15. As indicated to claim 14 at this time, by forming a functional device 12 in the side further than the 1st pad 15 from the 2nd substrate 14, carrying out the laminating of a functional device 12 and the 1st pad 15, and forming them, it can superimpose on a functional device 12, the 1st pad 15 can be formed, and it becomes possible to take a large area of the 1st pad 15.

68] In addition, in order to take a flow with the 1st pad 15 and the 2nd pad 16, as indicated to claim 8 or claim 20, it is possible to form the 1st pad 15 or the 2nd pad 16 with low melting point materials, such as solder, an indium, and the like. After according to this structure exfoliating and imprinting the element chip 13 to up to the 2nd substrate 14, only by carrying out fixed time amount maintenance at the suitable elevated temperature according to each melting point of the above-mentioned low melting point material, welding of the 1st pad 15 and the 2nd pad 16 is carried out, and it becomes possible to take these flows. Moreover, in order to take a flow with the 1st pad 15 and the 2nd pad 16, it is possible to use the liquid metal spreading process by the ink jet. Furthermore, it is also possible to use wirebonding, a different direction electrical conducting material, and a different direction electric conduction film.

69] Moreover, although not illustrated especially, as indicated to claim 9 or claim 21, the 1st pad 15 may be formed on the end face of the element chip 13 in the form which projects in a way outside the direction of a field of the 1st substrate 11, and the configuration corresponding to the 1st pad 15 may be formed on the 2nd substrate 14. In this case, it is desirable to form the 2nd pad 16 outside the location on which the element tip 13 is put as a configuration corresponding to the 1st pad 15, and to insert the 1st pad 15 in this 2nd pad 16. According to this structure, the 1st pad 15 can be arranged in self align to the 2nd pad 16, and even if gap arises, the flow of the 1st pad 15 and the 2nd pad 16 can be taken certainly.

70] Moreover, as indicated to claim 10 or claim 22, or it forms the 1st pad 15 in convex and forms the 2nd pad 16 in concave, the 1st pad 15 may be formed in a concave and the 2nd pad 16 may be formed in convex. The cross section shows the example to drawing 4 notionally. A functional device 12, wiring 17, etc. are omitted. When the 1st pad 15 is formed in convex so that it may illustrate, the crevice corresponding to it is formed in the 2nd substrate 14. The 2nd pad 16 is formed so that a conductive material may be exposed to concave [which constitutes each crevice / all (drawing 4 (a)) or a part (drawing 4 (b)) of]. Even if it can arrange the 1st pad 15 in self align to the 2nd pad 16 and gap arises also according to this structure, the flow of the 1st pad 15 and the 2nd pad 16 can be taken certainly.

71] Moreover, as indicated to claim 11 or claim 23, a low dielectric constant material may be used as an insulating layer of the element chip 13. According to this structure, the functional device 12 of the element chip 13 and the parasitic capacitance of the circumference of it can be reduced, and reduction of power consumption and improvement in clock frequency can be expected. Moreover, as indicated to claim 12 or claim 24, a gas, a liquid, and a vacuum may be used as an insulating layer of the element chip 13. Also according to this structure, the functional device 12 of the element chip 13 and the parasitic capacitance of the circumference of it can be reduced, and reduction of power consumption and improvement in clock frequency can be expected.

72] Moreover, no matter the 1st substrate 11, a functional device 12, the element chip 13, the 2nd substrate 14, the 1st pad 15, the 2nd pad 16, the material of wiring 17, and structure may be what things, the thought of this invention is effective.

073] (The 2nd example) Drawing 5 is drawing showing the manufacture method of the 2nd example of this invention. semiconductor device is formed by forming a functional device 12 on the 1st substrate 11, exfoliating, imprinting the element chip 13 containing one or more functional devices 12 to up to the 3rd substrate 18, imprinting the element chip to up to the 2nd substrate 14 further, and taking a flow with the 1st pad 15 which consists of the conductive material on the element chip 13, and the 2nd pad 16 which consists of the conductive material on the 2nd substrate 14. It is showing which drawing and drawing 5 (b) on which drawing 5 (a) sticks the element chip forming face of the 1st substrate 11 with the 3rd substrate 18 exfoliated, and imprinted the element chip 13 to up to the 3rd substrate 18, and showing and drawing 5 (c) which stick the field of the element tip side of the 3rd substrate 18 with the 2nd substrate 14 and imprinted the element chip 13 to up to the 2nd substrate 14, and removed the 3rd substrate 18. As a sign 19 shows, after exfoliation imprinting from the 3rd substrate to the 2nd substrate, it performs taking a flow with the 1st pad 15 and the 2nd pad 16.

074] Drawing 6 is drawing showing the structure of the element chip of the 2nd example of this invention. The functional device 12 is electrically connected with the 1st predetermined pad 15. As indicated to claim 15, only the 1st pad 15 is formed in the surface of a side far from the 2nd substrate 14 of the element chip 13. Another element or other electrode are not formed in the surface of a side far from the 2nd substrate 14 of the element chip 13. According to this structure, a large area of the 1st pad 15 can be taken. Moreover, as indicated to claim 16, the functional device 12 is formed in the 2nd substrate 14 side rather than the 1st pad 15. According to this structure, by carrying out the laminating of a functional device 12 and the 1st pad 15, and forming them, it can superimpose on a functional device 12, the 1st pad 15 can be formed, and a large area of the 1st pad 15 can be taken.

075] Drawing 7 is drawing showing the structure of the 2nd substrate of the 2nd example of this invention. Although is perspective drawing, some of wiring, contact holes, beer plugs, etc. are excluded. On the 2nd substrate 14, not only the 2nd pad 16 but the wiring 17 which flows in the 2nd predetermined pad 16 is formed. The 2nd pad 16 is formed in the perimeter of the location corresponding to the 1st pad 15 on the element chip 13 on the 2nd substrate 14.

076] In addition, as indicated to claim 3, a functional device 12 is formed on the 1st substrate 11. Exfoliate and the element chip 13 containing one or more functional devices 12 is imprinted to up to the 2nd substrate 14. Also in the semiconductor device formed by taking a flow with the 1st pad 15 which consists of the conductive material on the element chip 13, and the 2nd pad 16 which consists of the conductive material of 2nd substrate top 14 It is effective to form only the 1st pad 15 in the surface of a side far from the 2nd substrate 14 of the element chip 13 in order to take a large area of the 1st pad 15. As indicated to claim 4 at this time, by forming a functional device 12 in the 2nd substrate side rather than the 1st pad 15, by carrying out the laminating of a functional device 12 and the 1st pad 15, and forming them, it can superimpose on a functional device 12, the 1st pad 15 can be formed, and it becomes possible to take a large area of the 1st pad 15.

077] In addition, in order to take a flow with the 1st pad 15 and the 2nd pad 16, it is possible to form the connection wiring 19 of drawing 5 (c) using the liquid metal spreading process by the ink jet. Furthermore, it is also possible to use rebonding.

078] Moreover, as indicated to claim 9 or claim 21, the 1st pad 15 may be formed in the end face of the element chip in the form which projects in a way outside the direction of a field of the 1st substrate 11, and the configuration corresponding to the 1st pad 15 may be formed on the 2nd substrate 14. In this case, it is desirable to form the 2nd pad 16 outside the location on which the element tip 13 is put as a configuration corresponding to the 1st pad 15, and to insert the 1st pad 15 in this 2nd pad 16. According to this structure, the 1st pad 15 can be arranged in self align to the 2nd pad 16, and even if gap arises, the flow of the 1st pad 15 and the 2nd pad 16 can be taken certainly. Moreover, as indicated to claim 11 or claim 23, a low dielectric constant material may be used as an insulating layer of the element chip 13. According to this structure, the functional device 12 of the element chip 13 and the parasitic capacitance of the circumference of it can be reduced, and reduction of power consumption and improvement in clock frequency can be expected. Moreover, as indicated to claim 12 or claim 24, a gas, a liquid, and a vacuum may be used as an insulating layer of the element chip 13. Also according to this structure, the functional device 12 of the element chip 13 and the parasitic capacitance of the circumference of it can be reduced, and reduction of power consumption and improvement in clock frequency can be expected.

079] Moreover, no matter the material of the 1st substrate 11, a functional device 12, the element chip 13, the 2nd substrate 14, the 1st pad 15, the 2nd pad 16, wiring 17, the 3rd substrate 18, and the connection wiring 19 and structure may be what things, the thought of this invention is effective.

080] (The 3rd example) Drawing 8 is drawing showing the manufacture method of the 3rd example of this invention. semiconductor device is formed by forming a functional device 12 on the 1st substrate 11, exfoliating, imprinting the element chip 13 containing one or more functional devices 12 to 2nd substrate top 14, and taking a flow with the 1st pad

which consists of the conductive material on the element chip 13, and the 2nd pad 16 which consists of the conductive material on the 2nd substrate. It is drawing which drawing and drawing 8 (b) on which drawing 8 (a) sticks element chip forming face of the 1st substrate 11 with the 2nd substrate 14 exfoliated, imprinted the element chip 13 up to the 2nd substrate 14, and removed the 1st substrate 11. Before an exfoliation imprint or the back may take a flow with the 1st pad 15 by the side of the 2nd substrate 14, and the 2nd pad 16. After exfoliation imprinting from the 1st substrate to the 2nd substrate, it performs taking a flow with the 1st pad 15 of a side far from the 2nd substrate 14, and the 2nd pad 16.

[081] Drawing 9 is drawing showing the structure of the element chip of the 3rd example of this invention. Drawing 9 (a) is an isometric plot from a side where the isometric plot from the side which becomes [that it is further than the 2nd substrate 14 and], and drawing 9 (b) become the 2nd substrate 14 side. The functional device 12 is electrically connected with the 1st predetermined pad 15. As indicated to claim 5, the 1st pad 15 is formed in the surface by the side of the 2nd substrate 14 of the element chip 13, and the surface of a side far from the 2nd substrate 14. According to this structure, a still larger area of the 1st pad 15 can be taken.

[082] Drawing 10 is drawing showing the structure of the 2nd substrate of the 3rd example of this invention. Although is perspective drawing, some of wiring, contact holes, beer plugs, etc. are excluded. On the 2nd substrate 14, not only the 2nd pad 16 but the wiring 17 which flows in the 2nd predetermined pad is formed. The 2nd pad 16 is formed in the configuration corresponding to the 1st pad 15 on the element chip 13, and its perimeter on the 2nd substrate 14.

[083] In addition, as indicated to claim 17, a functional device 12 is formed on the 1st substrate 11. Exfoliate and the element chip 13 containing one or more functional devices 12 is imprinted to up to the 3rd substrate 18. Also in the semiconductor device which furthermore imprints the element chip 13 to up to the 2nd substrate 14, and is formed by taking a flow with the 1st pad 15 which consists of the conductive material on the element chip 13, and the 2nd pad 16 which consists of the conductive material of 2nd substrate top 14. It is effective to form the 1st pad in the surface by the side of the 2nd substrate 14 of the element chip 13 and the surface of a side far from the 2nd substrate 14 in order to take a still larger area of the 1st pad 15.

[084] In addition, in order to take a flow with the 1st pad 15 by the side of the 2nd substrate 14, and the 2nd pad 16, as indicated to claim 8 or claim 20, it is possible to form the 1st pad 15 or the 2nd pad 16 with low melting point materials, such as solder, an indium, and lead. After according to this structure exfoliating and imprinting the element chip 13 to up to the 2nd substrate 14, only by carrying out fixed time amount maintenance at the suitable elevated temperature according to each melting point of the above-mentioned low melting point material, welding of the 1st pad 15 and the 2nd pad 16 is carried out, and it becomes possible to take these flows. Moreover, in order to take a flow with the 1st pad 15 and the 2nd pad 16, it is possible to use the liquid metal spreading process by the ink jet. Furthermore, it is also possible to use wirebonding, a different direction electrical conducting material, and a different direction electric induction film.

[085] In addition, in order to take a flow with the 1st pad 15 of a side far from the 2nd substrate 14, and the 2nd pad 16, it is possible to form the connection wiring 19 of drawing 8 (b) using the liquid metal spreading process by the ink jet. Furthermore, it is also possible to use wirebonding.

[086] Moreover, as indicated to claim 9 or claim 21, the 1st pad 15 may be formed in the end face of the element chip 13 in the form which projects in a way outside the direction of a field of the 1st substrate 11, and the configuration corresponding to the 1st pad 15 may be formed on the 2nd substrate 14. In this case, it is desirable to form the 2nd pad 16 outside the location on which the element tip 13 is put as a configuration corresponding to the 1st pad 15, and to insert the 1st pad 15 in this 2nd pad 16. According to this structure, the 1st pad 15 can be arranged in self align to the 2nd pad 16, and even if gap arises, the flow of the 1st pad 15 and the 2nd pad 16 can be taken certainly.

[087] Moreover, as indicated to claim 10 or claim 22, or it forms the 1st pad 15 in convex and forms the 2nd pad 16 in concave, the 1st pad 15 may be formed in a concave and the 2nd pad 16 may be formed in convex. For example, when the 1st pad 15 is formed in convex, the crevice corresponding to it is formed in the 2nd substrate 14. The 2nd pad 16 is formed so that a conductive material may be exposed to concave [which constitutes each crevice / all (refer to drawing 8 (a)) or a part (refer to drawing 4 (b)) of]. Even if it can arrange the 1st pad 15 in self align to the 2nd pad 16 and gap arises also according to this structure, the flow of the 1st pad 15 and the 2nd pad 16 can be taken certainly.

[088] Moreover, as indicated to claim 11 or claim 23, a low dielectric constant material may be used as an insulating layer of the element chip 13. According to this structure, the functional device 12 of the element chip 13 and the parasitic capacitance of the circumference of it can be reduced, and reduction of power consumption and improvement of clock frequency can be expected. Moreover, as indicated to claim 12 or claim 24, a gas, a liquid, and a vacuum may be used as an insulating layer of the element chip 13. Also according to this structure, the functional device 12 of the element chip 13 and the parasitic capacitance of the circumference of it can be reduced, and reduction of power

assumption and improvement in clock frequency can be expected.

[89] Moreover, no matter the material of the 1st substrate 11, a functional device 12, the element chip 13, the 2nd substrate 14, the 1st pad 15, the 2nd pad 16, wiring 17, and the connection wiring 19 and structure may be what things, thought of this invention is effective.

[90] (The 4th example) Drawing 11 is drawing showing the structure of the element chip of the 4th example of this invention. About the structure of the manufacture method or the 2nd substrate, examples 1-3 and an outline are the same. As indicated to claim 6 or claim 18, when setting the circumference length of the element chip 13 to L and setting a to S, it is $L > 2\pi l / 2S^{1/2}$. Furthermore, as indicated to claim 7 or claim 19, it is $L > 4S^{1/2}$. More specifically, it is $L = 45$ and $S = 45$. According to this structure, the 1st broad pad 15 can be formed by lengthening the circumference length of the element chip 13. Since the area of the element chip 13 does not become large, the same effect is acquired about reducing a manufacturing cost. In addition, as long as the conditions of the two above-mentioned formula are filled with the same example no matter it may be what configurations, such as the shape of a L character mold, a U character mold, and a doughnut, and a circle, although the rectangular element chip 13 was considered in addition, the thought of this invention is effective.

[91] (Example of the exfoliation imprint method) Drawing 12 is drawing showing the example of the exfoliation imprint method of this invention. As the one method of an exfoliation imprint of this invention It explains (). [an application for patent 2001-282423, an application for patent 2001-282424, T.Shimoda, et al, Techn.Dig.IEDM 1999, 9, S.Utsunomiya, et al,] [Dig.] Tech.Pap.SID 2000, 916, and T. Shimoda, Proc.Asia Display / IDW'01, 327, Utsunomiya, et al, Proc.Asia Display / IDW'01, 339. First, the amorphous silicon film 22 is formed by PECVD which used SiH_4 on the 1st substrate 21 made with a quartz or glass, and LPCVD using Si_2H_6 . Next, a functional device 23 is formed on it. The 1st pad 24 is formed in the maximum upper layer (drawing 12 (a)). This is made into vertical reverse, since it is made with lamination, a quartz, or glass at the 2nd substrate 25, it lets the 1st transparent substrate 21 pass, and only the element chip 27 to carry out an exfoliation imprint irradiates laser 26 (drawing 12 (b)). Then, the amorphous silicon film 22 ABYURESHON and exfoliates and the element chip 27 imprints only the place which laser irradiated to the 2nd substrate 25 (drawing 12 (c)). As indicated to claim 25, the exposure of laser 26 will be used for exfoliation and an imprint of the element chip 27. According to this structure, it becomes possible to ensure exfoliation and an imprint of the element chip 27.

[92] (Example of the manufacture method of a thin film transistor) Drawing 13 is drawing showing the example of the manufacture method of the thin film transistor of this invention. The manufacture method is explained about the thin film transistor as one of the functional devices of this invention. Here, it explains taking the case of a laser crystallization polycrystal thin film transistor. First, an amorphous silicon film is formed by PECVD which used SiH_4 on the 1st substrate 31 made with a quartz or glass, and LPCVD using Si_2H_6 . By irradiating laser 33, it crystallizes and the amorphous silicon film turns into the polycrystalline silicon film 32 (drawing 13 (a)). the gate insulator layer 34 after carrying out patterning of the polycrystalline silicon film 32 -- forming membranes -- the gate electrode 35 -- membrane formation -- and patterning is carried out (drawing 13 (b)). Impurities, such as Phosphorus and boron, are driven into the polycrystalline silicon film 32 in self align using the gate electrode 35, it is activated, and the source field and the drain field 36 of CMOS structure are formed. an interlayer insulation film 37 -- forming membranes -- a contact hole -- patterning -- a source electrode and the drain electrode 38 -- membrane formation -- and patterning is carried out (drawing 13 (c)). As indicated to claim 26, a functional device will be a thin film transistor. According to this structure, the conventional method, in order to create, it becomes possible to take a large area of the 1st pad or to take the large width of face of the 1st pad to the highly efficient thin film transistor for which the complicated manufacture process is needed, with altitude.

[93] (Example of the manufacture method of an organic electroluminescent element) Drawing 14 is drawing showing an example of the manufacture method of the organic electroluminescent element of this invention. The manufacture method is explained about the organic electroluminescent element as one of the functional devices of this invention. First, a transparent electrode 42 is formed on the 1st substrate 41 made with a quartz or glass, and opening is formed in a field [a field / the adhesion layer 43 / form / field / membranes and] to make it emit light. Bank 44 is formed by polyimide or the acrylic and opening is formed in a field [a field] to make it emit light. (Drawing 14 (a)). Next, the excitability on the surface of a substrate is controlled by plasma treatment, such as oxygen plasma and CF_4 plasma. Then, the hole-injection layer 45 and a luminous layer 46 are formed according to vacuum processes, such as liquid phase processes, such as a spin coat, squeegee coating, and an ink jet process (T.Shimoda, S.Seki, et al, Dig.SID'99, 6, S.Kanbe, et al, Proc.Euro Display'99 Late-News Papers, 85), and a spatter, vacuum evaporation. In order to make a work function become small, the cathode 47 containing alkali metal is formed, and it closes with encapsulant 48 and completes (drawing 14 (b)). As indicated to claim 27, a functional device will be an organic electroluminescent

ment. According to this structure, by the conventional method, in order to create, it becomes possible to take a large area of the 1st pad or to take the large width of face of the 1st pad to the highly efficient organic electroluminescent element for which the complicated manufacture process was needed, with altitude.

094] (The 5th example) Drawing 15 is drawing showing the electro-optic device of the 5th example of this invention. In the viewing area 51, the element chip 52 is arranged and wiring 53 is formed. Wiring 53 is connected to the drive circuit 55 by the driver wiring 54. As indicated to claim 28, it is the electro-optic device characterized by using the semiconductor device according to claim 27 from claim 1. According to this structure, with an electro-optic device, generally, since the surface ratio of wiring or a support substrate to a functional device is large, wiring and a support substrate are created separately and the effect of reduction of the manufacturing cost by arranging a functional device only into the portion needed becomes more effective.

095] Drawing 16 is drawing showing the manufacture method of the 5th example of this invention. First, a semiconductor device is produced by the same method as the 1st example of this invention (drawing 16 (a)). An organic electroluminescent element is produced after it (drawing 16 (b)).

096] In addition, the drive circuit 55 may be built in on the same substrate as a viewing area using technology as shown in the example of the above-mentioned exfoliation imprint method, or the example of the thin film transistor manufacture method. Moreover, although this example is an organic electroluminescence display, they may be other electro-optic devices, such as a liquid crystal display and an electrophoresis display.

097] Drawing 17 is circuitry drawing of the pixel field of the electro-optic device 10 driven by the active matrix.

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

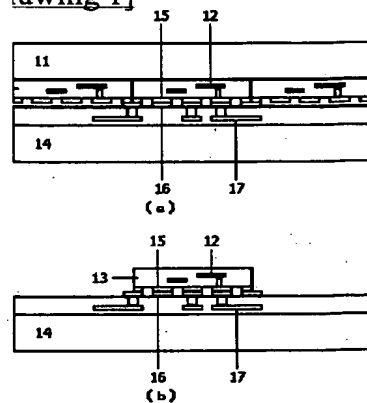
This document has been translated by computer. So the translation may not reflect the original precisely.

*** shows the word which can not be translated.

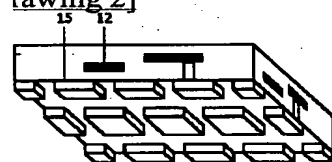
In the drawings, any words are not translated.

DRAWINGS

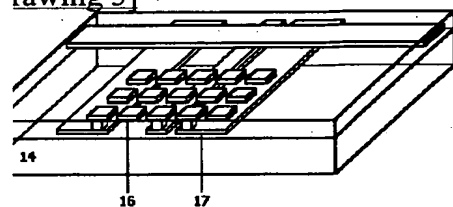
Drawing 1]



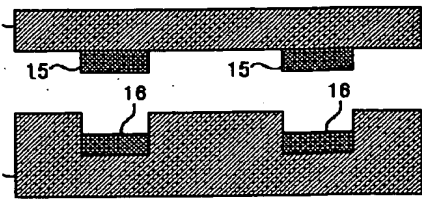
Drawing 2]



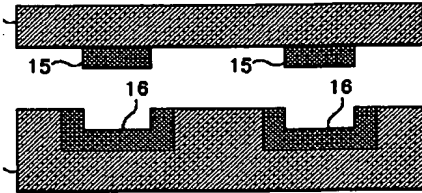
Drawing 3]



Drawing 4]

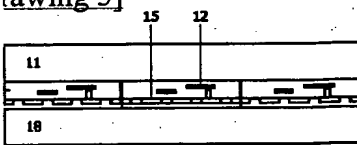


(a)

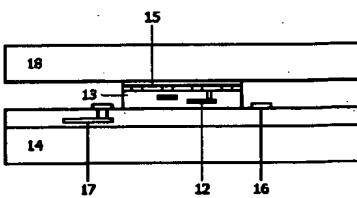


(b)

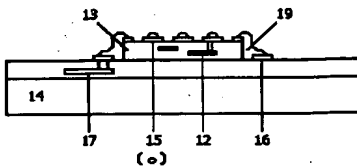
rawing 5]



(a)

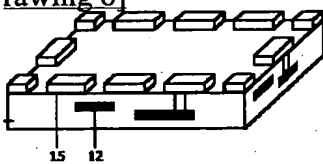


(b)

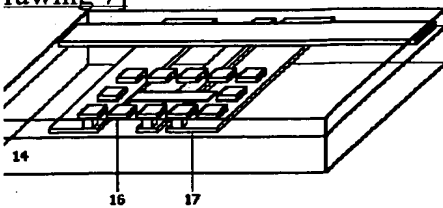


(c)

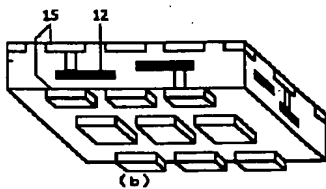
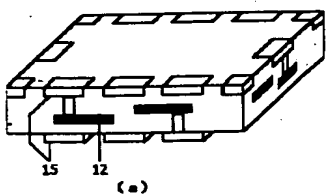
rawing 6]



rawing 7]



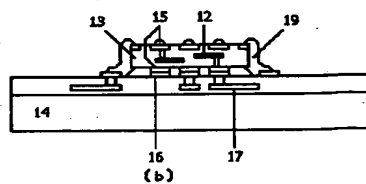
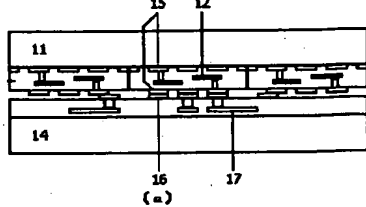
rawing 9]



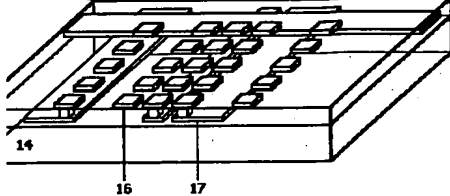
rawing 11]



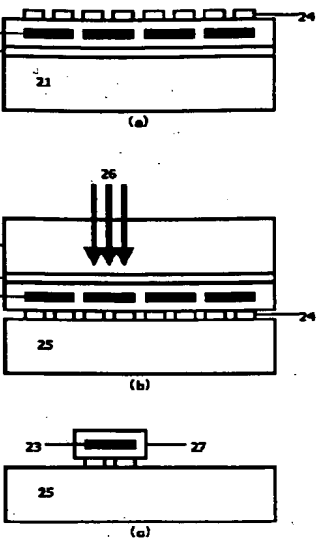
rawing 8]



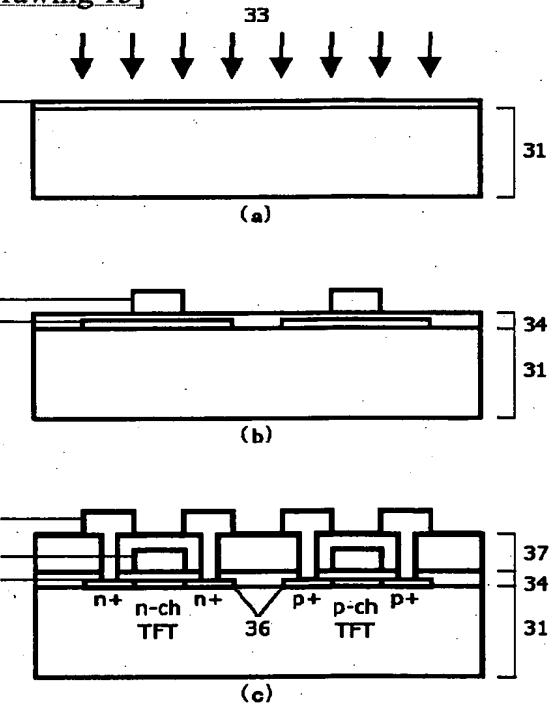
rawing 10]



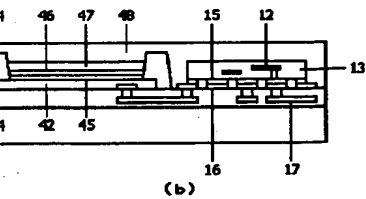
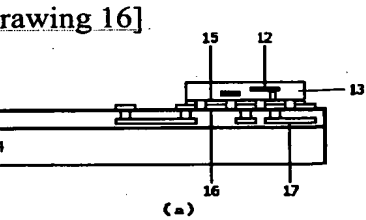
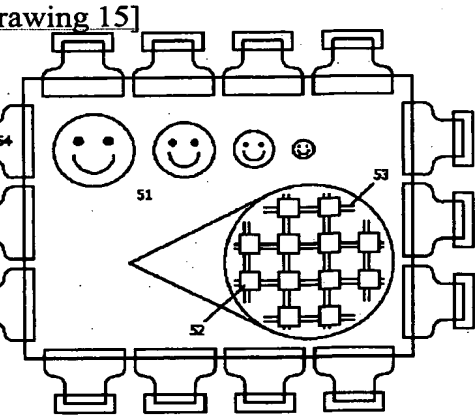
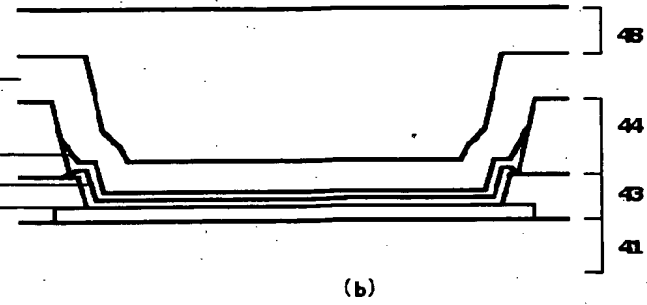
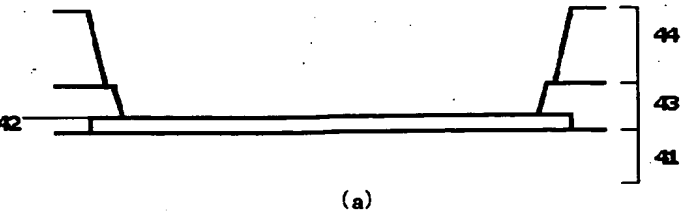
rawing 12]

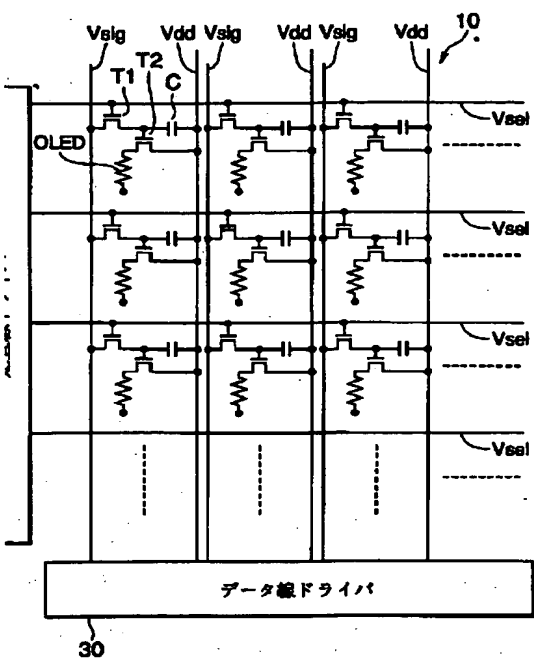


rawing 13]

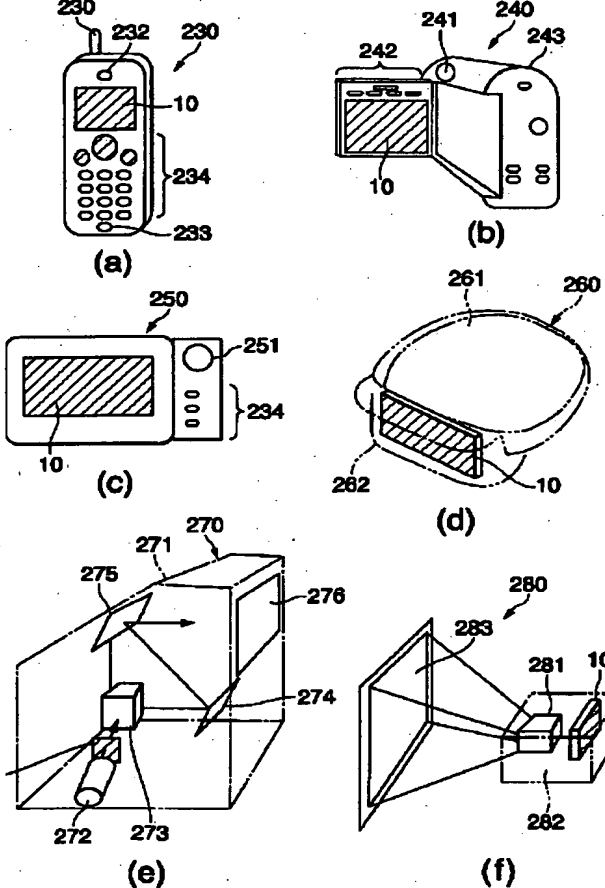


rawing 14]





rawing 18]



ranslation done.]